

# Qseven™ Specification Revision 1.11 (日本語版)

*Qseven™ pinout, electromechanical description and implementation guidelines*

*Qseven™ Specification*

*Revision 1.11*

## 改版記録

版数	年月日	著者	改版記録
1.0	2008.07.01	Qseven™ Consortium	公式リリース
1.1	2008.08.04	Qseven™ Consortium	修正
1.11	2008.11.26	Qseven™ Consortium	修正

## 序文

### Qseven™のコンセプト

Qseven™ のコンセプトは、パソコンの全ての周辺入出力を集積した最新のマルチベンダー、シングルボードコンピュータです。

Qseven™ モジュールは 70mm x 70mm の標準化された形状をしており、標準化されたピンアウトを持つ高速 MXM システムコネクタを採用しています。

Qseven™ モジュールは、グラフィック、サウンド、マストレージ、ネットワーク及び複数の USB ポートだけではありません。MXM コネクタは Qseven™ モジュールとキャリアボードインターフェイスとの間のすべての信号を伝達します。MXM コネクタは、性能が保証された高速信号インターフェイスコネクタであり、高速 PCI Express グラフィックカードで使用されています。

キャリアボードの設計者は必要な I/O インターフェイスだけを選択することができます。

幅広い自由度により設計者は最適化した I/O インターフェイスに限定したキャリアボードを設計するだけで、シンプルなシステムで、信頼度の高い製品を作り出すことができます。

Qseven™を採用することにより、必要な性能に対応した Qseven™モジュール採用することができ、製品の適応範囲を広めることができます。

Qseven™ の I/O には次のようなものがあります。

- PCIe express
- USB 2.0
- ExpressCard
- High Definition Digital Audio
- Serial ATA
- LPC interface
- Secure Digital I/O interface
- Gigabit Ethernet
- DisplayPort, TDMS or SDVO Interface
- LVDS Display Interface

この他付随する制御信号、パワーマネジメント信号を含みます。

## 注意書き

Qseven™仕様に含まれた情報は、いかなる製品仕様に限定されず、予告なしに変更することがあります。

Qseven™ Consortium はこの Qseven™仕様に關していかなる保証を与えるものでもなく、事前に実施されたものに関する特定の目的に適合するものではありません。

Qseven™ Consortium は 技術的、または印刷によるエラーによって直接または間接に引き起こされたダメージについての責任を仮定していません。

## 対象者

この Qseven™の電気・機械的な仕様は技術能力を有した人を対象としており、一般の人は対象としていません。

## シンボル

この仕様書では次のシンボルが使用されます。

Warning 警告

これを見なければ、人に傷害を起こすことがある状態を示す

Caution 注意

ユーザーに対してハードウェアの損傷またはデータの喪失を防止する方法を注意する

Note ノート

見ておくべき重要な情報

## 版權

Copyright c 2008, Qseven™ Consortium. All rights reserved.

All text, pictures and graphics are protected by copyrights.

No copying is permitted without written permission from the Qseven Consortium.

Qseven Consortium は、この文書中の情報が正確であることを確認するよう努めていますが、この中の情報は”as-is” (暫定的なもの)を含んでいます。

## 商標

Intel 及び Pentium は Intel Corporation の登録商標です。

ExpressCard は Personal Computer Memory Card International Association(PCMCIA)の登録商標です。

PCI Express は Peripheral Component Interconnect Special Interest Group(PCI-SIG)の登録商標です。

すべての製品名及びロゴはそれぞれの所有者の財産です。

## Lead-Free 設計 (RoHS)

すべての Qseven™設計は RoHS に適合するよう lead-free のコンポーネントで作る必要があります。

## Qseven™ロゴの使用

Qseven™ロゴは Qseven™ Consortium のメンバーは自由に使用できます。 ロゴは最新の Qseven™の仕様に適合した製品にのみ取り付けすることができます。

ロゴはメンバーのエリア [www.Qseven-standard.org](http://www.Qseven-standard.org) で入手できます。

## 用語

用語	説明
PCI Express(PCIe)	Peripheral Component Interface Express. 次世代の高速シリアル I/O bus
PCI Express Lane	1つの PCI Express Lane は2つの送信用の差動ラインと2つの受信用の差動ラインの4つの信号のセット
x1, x2, x4	x1 は基本バンド幅の PCI Express lane を参照、x2 は2つの PCI Express lane 等の集合を参照、x1, x2, x4 link も参照する
ExpressCard	最新の USB 2.0 及び PCI Express bus 上に作られた PCMCIA 仕様
DDC	ディスプレイデータチャンネルはディスプレイとグラフィックアダプターのための I2C バスインターフェイス
DVI	デジタルビジュアルインターフェイスは Digital Display Working Group(DDWG)によって開発されたビデオインターフェイス標準
GBE	ギガビット Ethernet
USB	Universal Serial Bus
SATA	Serial AT Attachment:ハードディスクのためのシリアルインターフェイス標準
SDVO	シリアルビデオアウトプットはシステムにビデオ信号を付加するために、Intel によって紹介された独占的な技術
HDA	高品質オーディオ
HDMI	高品質マルチメディアインターフェイス HDMI は単一ケーブル上の標準 / 拡張、または高品質ビデオとマルチチャンネルデジタルオーディオをサポートする
TMDS	最適伝送差動信号 TMDS は DVI 及び HDMI で用いられている Silicon Image の信号インターフェイス
LPC	Low Pin-Count interface:Super I/O control のような周辺回路に用いられる低速インターフェイスで、通常、旧式デバイスのサポートを単一 IC に結合する
SMB	システムマネージメントバス
LVDS	低電圧差動信号
ACPI	アドバンスドコントロール プログラマブルインターフェイス
RoHS	RoHS(ローズ)は、電子・電気機器における特定有害物質の使用制限についての欧州連合(EU)による指令である。
N.C.	未接続
N.A.	利用出来ず
T.B.D.	未定

## 目次

1.	QSEVEN™の機械特性	10
1.1	機械寸法	11
1.1.1	Qseven モジュールの外形	11
1.1.2	PCBのエッジコネクタの寸法	12
1.1.3	シングルエッジフィンガーの寸法	13
1.1.4	オプション I/O コネクタの位置	14
1.2	MXM コネクタ	15
1.2.1	環境特性	15
1.2.2	電気的特性	16
1.2.3	MXM コネクタの寸法	17
1.2.4	MXM コネクタのフットプリント	18
2.	QSEVEN™の性能	19
3.	コネクタピンの割当	20
3.1	信号の表記	24
3.1.1	PCI Express インターフェイス信号	25
3.1.2	ExpressCard サポートピン	25
3.1.3	Gigabit Ethernet 信号	26
3.1.4	Serial ATA インターフェイス信号	27
3.1.5	USB インターフェイス信号	27
3.1.6	SDIO インターフェイス信号	29
3.1.7	High Definition Audio 信号	29
3.1.8	LVDS フラットパネル信号	30
3.1.9	SDVO インターフェイス信号	31
3.1.10	DisplayPort インターフェイス信号	32
3.1.11	HDMI インターフェイス信号	33
3.1.12	LPC インターフェイス信号	34
3.1.13	電源入力ピン	34
3.1.14	電源コントロール信号	34
3.1.15	パワーマネジメント信号	35
3.1.16	各種信号	36
3.1.17	熱マネジメント信号	37
3.2	電源入力条件	38
4.	QSEVEN™の信号配分	40
4.1	PCI Express	40
4.1.1	Qseven™モジュール PCI Express 信号	40
4.1.2	PCI Express 挿入損	41

4.2	Serial ATA.....	43
4.2.1	Serial ATA 挿入損.....	43
4.3	USB .....	44
4.4.1	USB 挿入損.....	44
4.4	Gigabit Ethernet.....	45
4.4.1	Gigabit Ethernet 挿入損 .....	45
5.	ソフトウェア定義.....	46
5.1	BIOS 実装 .....	46
5.2.1	LPC Super I/O サポート .....	46
5.2	組み込みアプリケーションソフトウェアインターフェイス .....	47
5.2.1	全般情報.....	47
5.2.2	EASI ライブラリー .....	48
5.2.3	一般的なボード情報 .....	48
5.2.4	ストレージエリア.....	49
5.2.5	監視(Watchdog) .....	49
5.2.6	I2C バス.....	49
5.2.7	LCD コントロール.....	50
5.2.8	温度コントロール .....	50
6.	工業仕様.....	51

## 表

表 1	MXM コネクタ.....	15
表 2	MXM コネクタの環境特性.....	15
表 3	MXM コネクタの電気的特性.....	16
表 4	Qseven™のサポート性能.....	19
表 5	コネクタピンアウト表示.....	20
表 6	信号の表記.....	24
表 7	PCI Express 信号の定義.....	25
表 8	ExpressCard の信号の定義.....	25
表 9	Ethernet の信号の定義.....	26
表 10	SATA 信号の定義.....	27
表 11	USB 信号の定義.....	27
表 12	SDIO の信号の定義.....	29
表 13	HDA 信号の定義.....	29
表 14	LVDS フラットパネル信号の定義.....	30
表 15	SDVO 信号の定義.....	31
表 16	DisplayPort 信号の定義.....	32
表 17	HDMI 信号の定義.....	33
表 18	LPC 信号の定義.....	34
表 19	電源入力の定義.....	34
表 20	電源コントロール信号の定義.....	34
表 21	パワーマネジメント信号の定義.....	35
表 22	各種信号の定義.....	36
表 23	熱マネジメント信号の定義.....	37
表 24	ファンコントロール信号の定義.....	37
表 25	電源入力特性.....	38
表 26	電源入力シーケンス.....	39
表 27	PCI Express 信号.....	40
表 28	キャリアボード PCI Express 挿入損.....	42
表 29	SATA 挿入損の配分.....	43
表 30	USB 挿入損.....	44
表 31	Gigabit Ethernet 挿入損.....	45
表 32	工業仕様.....	51





図 1	放熱板を含んだ Qseven™モジュール全体の高さ .....	10
図 2	Qseven™モジュールの機械寸法 .....	11
図 3	Qseven™モジュールのエッジコネクタの寸法 .....	12
図 4	Qseven™モジュールのエッジフィンガーの寸法 .....	13
図 5	オプション I/O コネクタ エリア .....	14
図 6	MXM コネクタ .....	17
図 7	MXM コネクタのキャリアボード PCB のフットプリント .....	18
図 8	電源入力シーケンス .....	39
図 9	PCI Express 信号 .....	40
図 10	PCI Express Link トポロジー 1.....	41
図 11	PCI Express Link トポロジー 2.....	41
図 12	Serial ATA Link トポロジー .....	43
図 13	USB リンクトポロジー .....	44
図 14	Gigabit Ethernet Link トポロジー .....	45

## 1. Qseven™の機械特性

Qseven™モジュールの基板厚は、放熱板及び裏面コンポーネント込みで、約 12mm 以下です。

基板全体の厚さは、 $1.2\text{mm} \pm 0.1\text{mm}$  です。面取りはオプションですが、エッジに、ばりや尖ったエッジは不可です。表面の部品の高さは 5.5mm 以下です。キャリアボード上の標準的な MXM コネクタと Qseven™モジュールの間は 2.7mm なので、裏面の部品の高さは 2.5mm 以下です。標準的な MXM コネクタを使用すると、全体の高さは 5.5mm となり、Qseven™モジュールの下にはキャリアボードの部品は付けてはいけません。

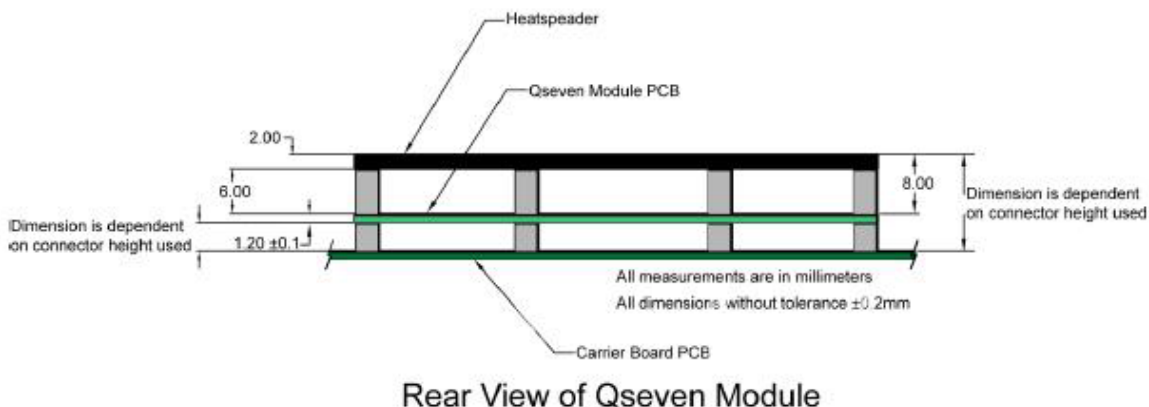
キャリアボードの部品を Qseven™モジュールの下に付ける必要があるときには、全体の高さ 7.8mm の MXM コネクタを使用し、キャリアボードの部品の最大高さは 2.5mm を超えてはいけません。MXM コネクタの仕様はセクション 1.3 を参照ください。

Qseven™モジュールの放熱は、ヒートシンクとしてではなく、熱結合デバイスとして扱います。ファン付きのヒートシンクやヒートパイプのような放熱デバイスを放熱板に取りつける必要があるかもしれません。放熱は、CPU ボード毎に異なります。放熱板の大きさ及び仕様は、Qseven™モジュールのユーザーガイドを参照ください。

放熱板とキャリアボードの取り付け面径は 5.6mm を超えてはいけません。これにより、Qseven™モジュールで定義された取り付け面径を超えません。取り付けに用いられるねじはメートル法 M2.5 DIN7985/ISO7045 でなければなりません。

Qseven™モジュールは超低消費電力 CPU と超低「熱設計パワー(TDP)」のチップセットソリューションです。モジュールの電力消費は 12W を越えてはいけません。

図 1 放熱板を含んだ Qseven™モジュール全体の高さ



1.1 機械寸法

1.1.1 Qseven モジュールの外形

図 2 Qseven™モジュールの機械寸法

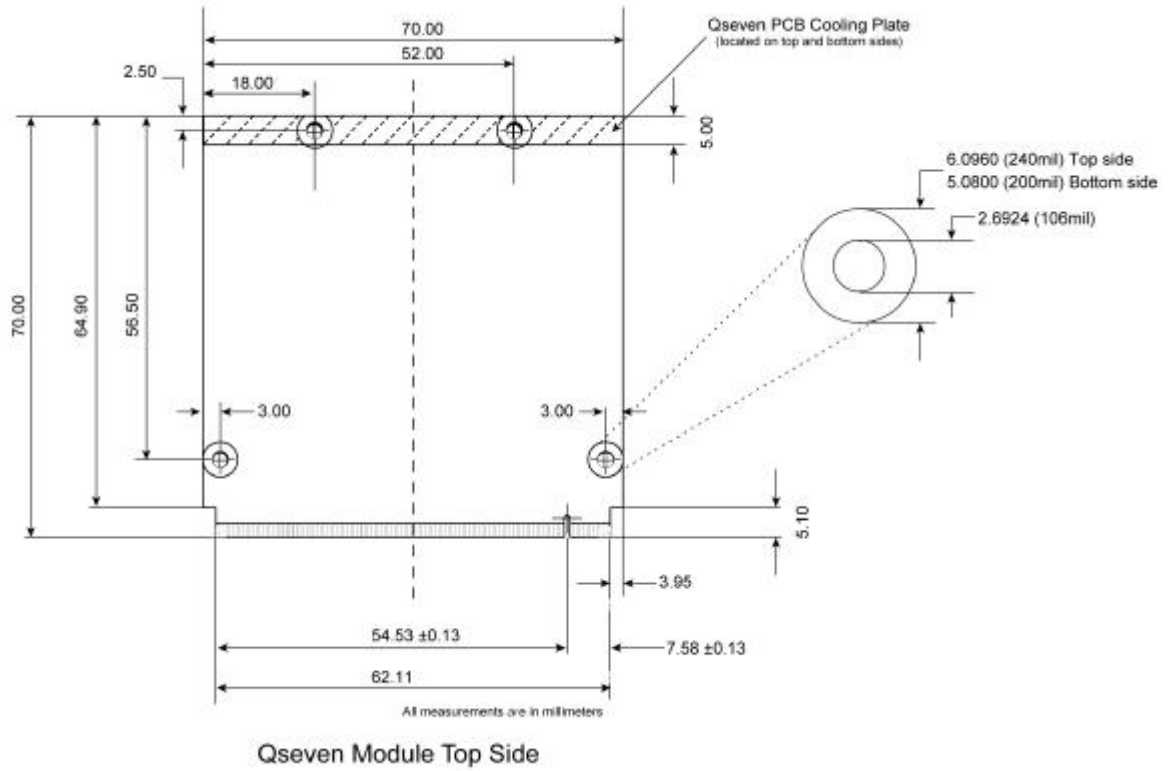
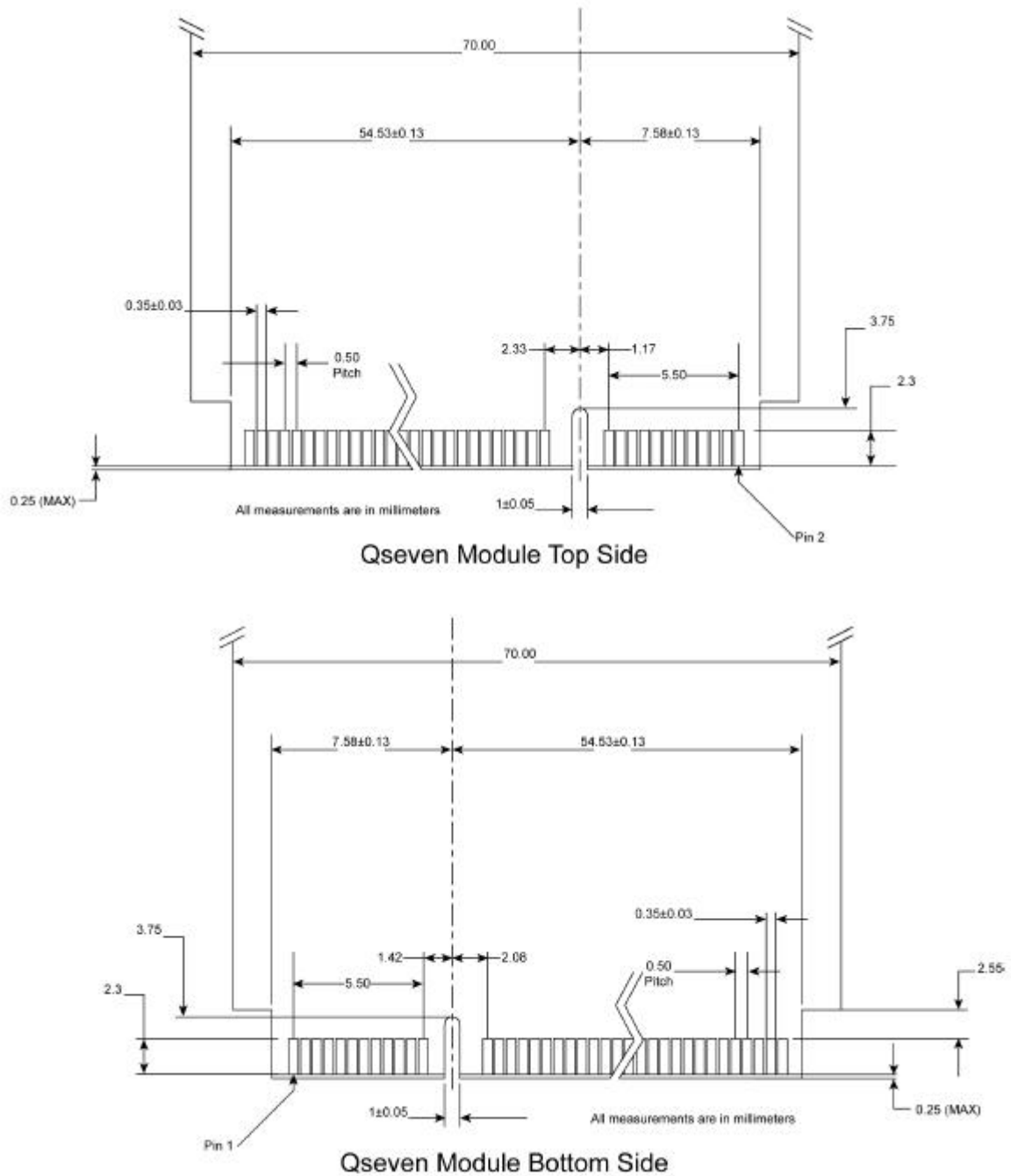


図 2 に示された Qseven™ PCB の冷却プレートは、Qseven™モジュールとお客さま特有の冷却方法との冷却インターフェイスとして使用します。

1.1.2 PCBのエッジコネクタの寸法

図 3 Qseven™モジュールのエッジコネクタの寸法



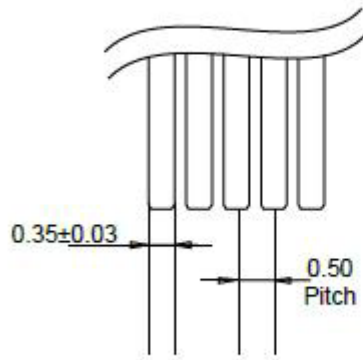
**Note**

表面及び裏面のエッジフィンガーは同じ形ではないので、表面と裏面では少しオフセットしていることに注意する必要があります。

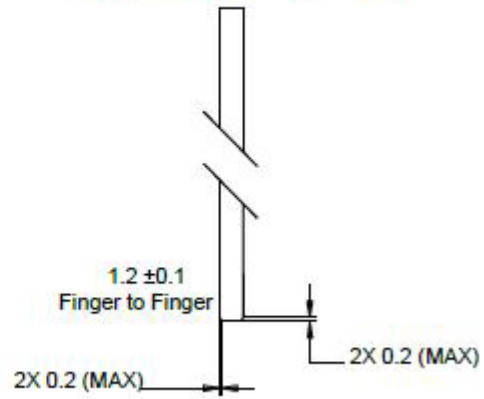
1.1.3 シングルエッジフィンガーの寸法

図 4 Qseven™モジュールのエッジフィンガーの寸法

Edge Finger Top View



Edge Finger Side View

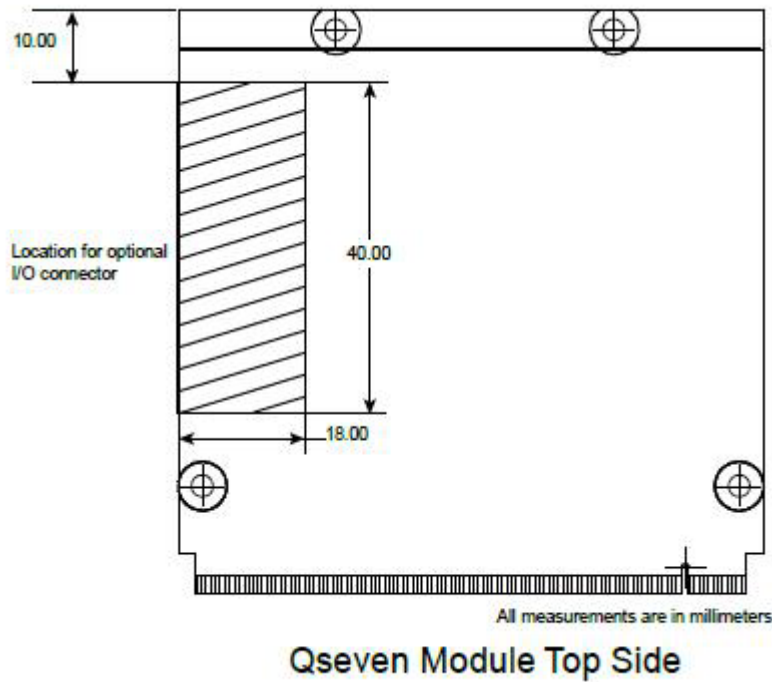


### 1.1.4 オプション I/O コネクタの位置

もし、ビデオ キャプチャ ポート(VCP)のようなオプション I/O コネクタを使用するときは、図 5 で定義される I/O コネクタ位置に取り付けます。

このエリアは部品実装禁止領域ではないため、もし I/O コネクタを追加しない場合には部品を配置できます。

図 5 オプション I/O コネクタ エリア



## 1.2 MXM コネクタ

Qseven™モジュールは 230-pin のカードエッジコネクタを使用しますが、このコネクタは MXM 仕様に従った PCI Express が可能なノートブックグラフィックカードでも使用されています。

そのため、このコネクタタイプは MXM コネクタとしても知られております。

MXM エッジコネクタは、産業をリードするノートブックメーカーによってなされた、設計努力の結果です。これにより、高速シリアル信号を取り扱うことのできるしっかりとした、低コストのエッジコネクタが誕生しました。

MXM コネクタは異なるキャリアボードのアプリケーションが必要とするいろいろなコネクタの高さに対応できます。仕様では 7.8mm と 5.5mm の 2 つのコネクタの高さを、推奨しております。

表 1 MXM コネクタ

製造者	パーツ No	仕様	キャリアボードと Qseven™ モジュールの間の高さ	MXM コネクタの 全高
Foxconn	AS0B326-S78N-7F	AS0B326-S78N-7F	5.0mm	7.8mm
Foxconn	AS0B326-S55N-7F	AS0B326-S78N-7F	2.7mm	5.5mm
Speedtech	B33P102-XX1X	SPEC0378	5.0mm	7.5mm
Speedtech	B33P102-XX2X	SPEC0378	2.7mm	5.2mm
Lotes		SP-AAA-MXM-001	5.0mm	7.8mm
Lotes		SP-AAA-MXM-001	2.7mm	5.5mm

## 1.2.1 環境特性

表 2 MXM コネクタの環境特性

パラメータ	仕様
耐久性	EIA-364-9 30 サイクル
結合力 引き離し力	EIA-364-13-C LIF/angled insertion スタイルカード 最大挿入力: 1.3kg 最大引き抜き力: 1.6kg  Slide-in/side insertion スタイルカード 最大挿入力: 6.0kg 最大引き抜き力: 4.6kg 注: 25 mm/min の速度における数字を使用
振動	EIA-360-28D Test condition VII condition D Type III PCB の GPU の中心に 40 x 40 mm, 100g のブロックを固定
衝撃	EIA-364-27B Test condition A Type III PCB の GPU の中心に 40 x 40 mm, 100g のブロックを固定

## 1.2.2 電気的特性

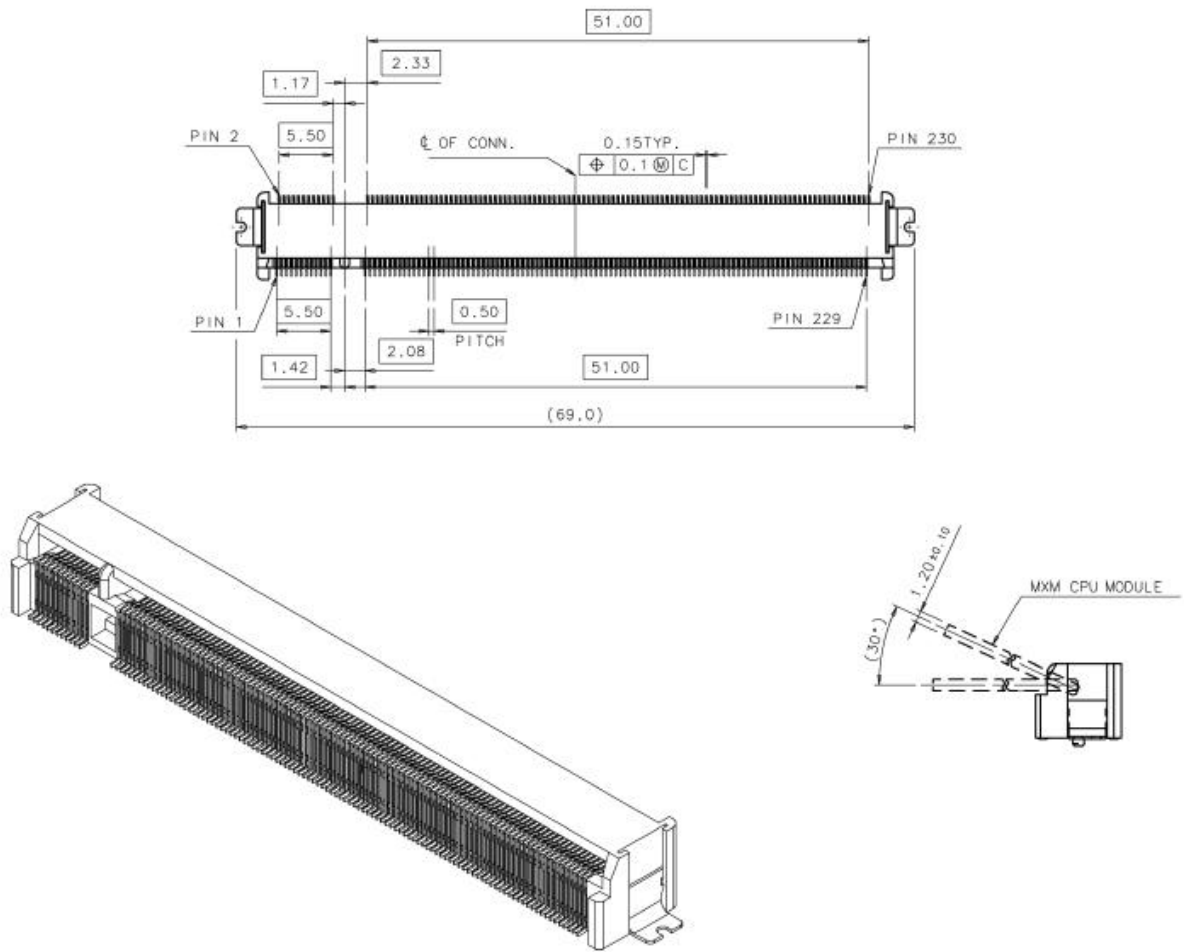
表 3 MXM コネクタの電気的特性

パラメータ	仕様
低レベルコンタクト抵抗	EIA-364-23B - 使用されるオプションによる オプション 4 は使用しない 要求：初期測定で最大 40 mΩ、または他のテスト後 最大 50 mΩ と最大 Delta R = 20 mΩ の小さい値
絶縁抵抗	EIA-364-21C 要求：初期テストで 250 MΩ 他のテスト実施後 50 MΩ
絶縁耐圧電圧	EIA-364-20B Method B 上に隣接するコネクタと下に隣接するコネクタのペアについて実施 コネクタは結線・マウントされない状態 気圧は標高 0 m レベル 0.25 kVAC,(50Hz)を 1 分間かける
電流規格	電流仕様：ピンに 0.5 Amp 連続して流す 周囲温度 25℃ から、温度上昇が 30℃ を超えないこと
電圧規格	コンタクトあたり 50 VDC
インピーダンス	EIA-364-108 インピーダンス要求：100 ± 20 Ω 差動, 50 ± 10 Ω シングルエンド
挿入ロス	EIA-364-101 挿入ロス要求：(F は周波数 GHz) 1 dB max up to 1.25 GHz [1.6 * (F-1.25)+1] dB for 1.25 GHz < F < 3.75 GHz (例えば F =3.75 GHz で 5 dB)
リターンロス	EIA-364-108 リターンロス要求： - 12 dB up to 1.3 GHz - 7 dB up to 2 GHz - 4 dB up to 3.75 GHz
ニアエンドクロストーク	EIA-364-90 クロストーク(NEXT)要求：(F は周波数 GHz) -32 dB max up to 1.25 GHz -[32 - 2.4 * (F-1.25)] dB for 1.25 GHz < F < 3.75 GHz (例えば F =3.75 GHz で -26 dB)



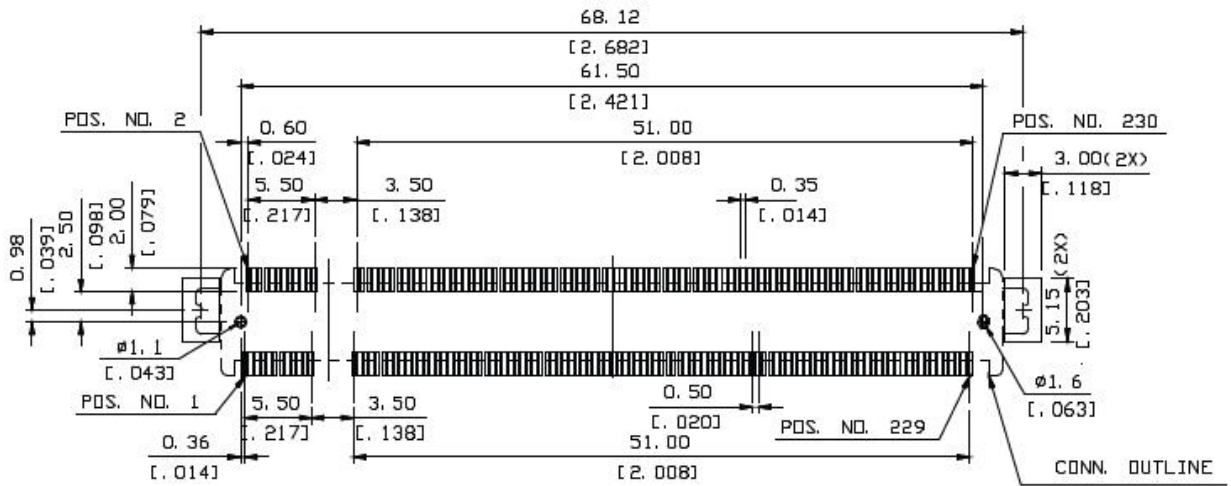
1.2.3 MXM コネクタの寸法

図 6 MXM コネクタ



1.2.4 MXM コネクタのフットプリント

図 7 MXM コネクタのキャリアボード PCB のフットプリント



## 2. Qseven™の性能

Qseven™の基本的性能及びオプション性能。

表 4 は性能の最小値、最大値を示します。

**表 4 Qseven™のサポート性能**

システム I/O インターフェイス	最小構成	最大構成
PCI Express レーン	2(x1 リンク)	4
Serial ATA チャンネル	0	2
USB 2.0 ポート	4	8
LVDS チャンネル	0	デュアルチャンネル 24 ビット
DisplayPort,TMDS,SDVO	0	1
High Definition Audio	1	1
Gigabit Ethernet	0	1
ExpressCard サポート	0	2
Low Pin カウントバス	1	1
SD/MMC カード用 SecureDigital I/O 8-bit	0	1
System Management バス	1	1
I2C バス	1	1
Watchdog Trigger	1	1
パワーボタン	1	1
パワー表示	1	1
リセットボタン	1	1
LID ボタン	0	1
スリープボタン	0	1
Suspend To RAM(S3 モード)	0	1
Wake	0	1
Battery low アラーム	0	1
熱コントロール	0	1
ファンコントロール	0	1

### 3. コネクタピンの割当

Qseven™モジュールの表・裏面には 115 のエッジフィンガーがあり、MXM コネクタと対になっています。

表 5 に 230 すべてのエッジフィンガーに対するピン割当を示します。

**表 5 コネクタピンアウト表示**

ピン	信号	ピン	信号
1	GND	2	GND
3	GBE_MDI3-	4	GBE_MDI2-
5	GBE_MDI3+	6	GBE_MDI2+
7	GBE_LINK100#	8	GBE_LINK100#
9	GBE_MDI1-	10	GBE_MDI0-
11	GBE_MDI1+	12	GBE_MDI0+
13	GBE_LINK#	14	GBE_ACT#
15	GBE_CTREF	16	SUS_S5#
17	WAKE#	18	SUS_S3#
19	SUS_STST#	20	PWRBTN#
21	SLP_BTN#	22	LID_BTN#
23	GND	24	GND
	KEY		KEY
25	GND	26	PWGIN
27	BATLOW#	28	RSTBTN#
29	SATA0_TX+	30	SATA1_TX+
31	SATA0_TX-	32	SATA1_TX-
33	SATA_ACT#	34	GND
35	SATA0_RX+	36	SATA1_RX+
37	SATA0_RX-	38	SATA1_RX-
39	GND	40	GND
41	BIOS_DISABLE#	42	SDIO_CLK#
43	SDIO_CD#	44	SDIO_LED
45	SDIO_CMD	46	SDIO_WP
47	SDIO_PWR#	48	SDIO_DAT1
49	SDIO_DAT0	50	SDIO_DAT3
51	SDIO_DAT2	52	SDIO_DAT5
53	SDIO_DAT4	54	SDIO_DAT7
55	SDIO_DAT6	56	RSVD
57	GND	58	GND
59	HAD_SYNC	60	SMB_CLK
61	HAD_RST#	62	SMB_DAT
63	HAD_BITCLK	64	SMB_ALERT#
65	HAD_SDI	66	I2C_CLK
67	HAD_SDO	68	I2C_DAT

ピン	信号	ピン	信号
69	THRM#	70	WDTRIG#
71	THRMTRIP#	72	WDOUT
73	GND	74	GND
75	USB_P7-	76	USB_P6-
77	USB_P7+	78	USB_P6+
79	USB_6_7_OC#	80	USB_4_5_OC#
81	USB_P5-	82	USB_P4-
83	USB_P5+	84	USB_P4+
85	USB_2_3_OC#	86	USB_0_1_OC#
87	USB_P3-	88	USB_P2-
89	USB_P3+	90	USB_P2+
91	USB_HOST_PRES#	92	USB_HC_SEL
93	USB_P1-	94	USB_P0-
95	USB_P1+	96	USB_P0+
97	GND	98	GND
99	LVDS_A0+	100	LVDS_B0+
101	LVDS_A0-	102	LVDS_B0-
103	LVDS_A1+	104	LVDS_B1+
105	LVDS_A1-	106	LVDS_B1-
107	LVDS_A2+	108	LVDS_B2+
109	LVDS_A2-	110	LVDS_B2-
111	LVDS_PPEN	112	LVDS_BLEN
113	LVDS_A3+	114	LVDS_B3+
115	LVDS_A3-	116	LVDS_B3-
117	GND	118	GND
119	LVDS_A_CLK+	120	LVDS_B_CLK+
121	LVDS_A_CLK-	122	LVDS_B_CLK-
123	LVDS_BLT_CTRL	124	RSVD
125	LVDS_DID_DAT	126	LVDS_BLC_DAT
127	LVDS_DID_CLK	128	LVDS_BLC_CLK
129	RSVD	130	RSVD
131	SDVO_BCLK+	132	SDVO_INT+
133	SDVO_BCLK-	134	SDVO_INT-
135	GND	136	GND
137	SDVO_GREEN+	138	SDVO_FLDSTALL+
139	SDVO_GREEN-	140	SDVO_FLDSTALL-
141	GND	142	GND

ピン	信号	ピン	信号
143	SDVO_BLUE+	144	SDVO_TVCLKIN+
145	SDVO_BLUE+	146	SDVO_TVCLKIN+
147	GND	148	GND
149	SDVO_RED+	150	SDVO_CTRL_DAT
151	SDVO_RED-	152	SDVO_CTRL_CLK
153	HDMI_HPD#	154	DP_HPD#
155	PCIE_CLK_REF+	156	PCIE_WAKE#
157	PCIE_CLK_REF-	158	PCIE_RST#
159	GND	160	GND
161	PCIE3_TX+	162	PCIE3_RX+
163	PCIE3_TX-	164	PCIE3_RX-
165	GND	166	GND
167	PCIE2_TX+	168	PCIE2_RX+
169	PCIE2_TX-	170	PCIE2_RX-
171	EXCD0_PERST#	172	EXCD1_PERST#
173	PCIE1_TX+	174	PCIE1_RX+
175	PCIE1_TX-	176	PCIE1_RX-
177	EXCD0_CPPE#	178	EXCD1_CPPE#
179	PCIE0_TX+	180	PCIE0_RX+
181	PCIE0_TX-	182	PCIE0_RX-
183	GND	184	GND
185	LPC_AD0	186	LPC_AD1
187	LPC_AD2	188	LPC_AD3
189	LPC_CLK	190	LPC_FRAME#
191	SERIRQ	192	LPC_LDRQ#
193	VCC_RTC	194	SPKR
195	FAN_TACHOIN	196	FAN_PWMOUT
197	GND	198	GND
199	RSVD	200	RSVD
201	RSVD	202	RSVD
203	RSVD	2-4	MFG_NC4
205	VCC_5V_SB	206	VCC_5V_SB
207	MFG_NC0	208	MFG_NC2
209	MFG_NC1	210	MFG_NC3
211	VCC	212	VCC
213	VCC	214	VCC
215	VCC	216	VCC

ピン	信号	ピン	信号
217	VCC	218	VCC
219	VCC	220	VCC
221	VCC	222	VCC
223	VCC	224	VCC
225	VCC	226	VCC
227	VCC	228	VCC
229	VCC	230	VCC

## 3.1 信号の表記

信号名の後の“#”のシンボルは、アクティブまたは有効な状態を表し、信号が低電圧レベルにあるときを示します。“#”がない場合は高電圧レベルにあることを示します。プラスとマイナスの差動信号は“+”及び“-”で示されます。必要なすべてのプルアップまたはプルダウン抵抗は Qseven™モジュール上に実装されます。これにより、使用されていない信号が浮いたままになるということが起こりません。

以下の用語が I/O の信号タイプを記述するために使用されます。

表 6 信号の表記

用語	表記
I	Input Pin
O	Output Pin
OC	Open Collector
OD	Open Drain
PP	Push Pull
I/O	双方向の Input/Output pin
IoL	Output low current この IoL はモジュールが外部回路をドライブするための最大ロー出力電流
IlL	Input low current この IlL はモジュールが外部回路をドライブするための最大ロー出力電流
P	Power Input
NC	Not Connected
PCIE	PCI Express 差動ペア signals PCI Express Base Spec1.1.1で承認されたもの
GB_LAN	Gigabit Ethernet Media department Interface 差動ペア signals IEEE 802.3ab 1000Base-T Gigabit Ethernet Spec で承認されたもの
USB	Universal Serial Bus 差動ペア signals Universal Serial Bus Spec 2.0 で承認されたもの
SATA	Serial Advanced Technology Attachment 差動ペア signals Serial ATA High Speed Serialized AT Attachment Spec 1.0a で承認されたもの
LVDS	Low-Voltage Differential Signaling 差動ペア signals LVDS Owner s manual 4.0 で承認されたもの
TMDS	Transition minimized Differential Signaling 差動ペア signals Digital Visual Interface(DVI)Spec.1.0 で承認されたもの
CMOS	Logic input または output



## 3.1.1 PCI Express インターフェイス信号

表 7 PCI Express 信号の定義

信号	表記	I/O type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
PCIE0_RX+ PCIE0_RX-	PCI Express channel 0, Receive Input differential pair.	PCIE		I
PCIE0_TX+ PCIE0_TX-	PCI Express channel 0, Transmit Output differential pair.	PCIE		O
PCIE1_RX+ PCIE1_RX-	PCI Express channel 1, Receive Input differential pair.	PCIE		I
PCIE1_TX+ PCIE1_TX-	PCI Express channel 1, Transmit Output differential pair.	PCIE		O
PCIE2_RX+ PCIE2_RX-	PCI Express channel 2, Receive Input differential pair.	PCIE		I
PCIE2_TX+ PCIE2_TX-	PCI Express channel 2, Transmit Output differential pair.	PCIE		O
PCIE3_RX+ PCIE3_RX-	PCI Express channel 3, Receive Input differential pair.	PCIE		I
PCIE3_TX+ PCIE3_TX-	PCI Express channel 3, Transmit Output differential pair.	PCIE		O
PCIE_CLK_REF+ PCIE_CLK_REF-	PCI Express Reference Clock (レーン 0 から 3 まで)	PCIE		O
PCIE_WAKE#	PCI Express Wake Event : Wakeup を要求する部品によって承認された sideband wake signal	CMOS 3.3V で中断	5 mA	I
PCIE_RST#	外部デバイスのための Reset Signal	CMOS 3.3V	Max 1 mA	O

**Note**

Qseven™ モジュール上では合計 4 つの PCI Express TX 及び RX differential pairs がサポートされます。

使用される Qseven™ モジュール及びコアロジック チップセットでサポートされる性能によって、これらのラインは x1 または x4 の PCI Express リンクを形成するように用いられます。

Qseven™ モジュールの文書において、コアロジック チップセットでプログラムされる場合、どちらの PCI Express リンクがサポートされるかを明瞭に識別されなければなりません。

## 3.1.2 ExpressCard サポートピン

表 8 ExpressCard の信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
EXCD0_CPPE#	ExpressCard slot #0 capable card request	CMOS 3.3V	5 mA	I
EXCD0_PERST#	ExpressCard slot #0 reset	CMOS 3.3V	Max 1 mA	O
EXCD1_CPPE#	ExpressCard slot #1 capable card request	CMOS 3.3V	5 mA	I
EXCD1_PERST#	ExpressCard slot #1 reset	CMOS 3.3V	Max 1 mA	O

## 3.1.3 Gigabit Ethernet 信号

表 9 Ethernet の信号の定義

信号	表記	I/O type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
GBE_MDI0+ GBE_MDI0-	Media Dependent Interface(MDI) 差動ペア 0. MDI は 1000,100,10Mbit/sec モードで動作可能。 この信号ペアはすべてのモードで使用されます。	GB_LAN		I/O
GBE_MDI1+ GBE_MDI1-	Media Dependent Interface(MDI) 差動ペア 1. MDI は 1000,100,10Mbit/sec モードで動作可能。 この信号ペアはすべてのモードで使用されます。	GB_LAN		I/O
GBE_MDI2+ GBE_MDI2-	Media Dependent Interface(MDI) 差動ペア 2. MDI は 1000,100,10Mbit/sec モードで動作可能。 この信号ペアは 1000 Mbit/sec Gigabit Ethernet モードのみで動作可能。	GB_LAN		I/O
GBE_MDI3+ GBE_MDI3-	Media Dependent Interface(MDI) 差動ペア 3. MDI は 1000,100,10Mbit/sec モードで動作可能。 この信号ペアは 1000 Mbit/sec Gigabit Ethernet モードのみで動作可能。	GB_LAN		I/O
GBE_CTREF	Carrier board Ethernet channel 0 magnetics center tap のための参照電圧。 参照電圧はモジュールの PHY の要求により決定され、0v から 3v の間の値です。 参照電圧出力はモジュールにより電流制限される。リファレンスがグランドにショートされたときの、電流値は 250 mA 以下に制限されます。	REF		
GBE_LINK#	Ethernet controller 0 link indicator, active low	CMOS 3.3v OD	Max 10 mA	O
GBE_LINK100#	Ethernet controller 0 100Mbit/sec link indicator, active low	CMOS 3.3v OD	Max 10 mA	O
GBE_LINK1000#	Ethernet controller 0 1000Mbit/sec link indicator, active low	CMOS 3.3v OD	Max 10 mA	O
GBE_ACT#	Ethernet controller 0 activity indicator, active low	CMOS 3.3v OD	Max 10 mA	O

## 3.1.4 Serial ATA インターフェイス信号

表 10 SATA 信号の定義

信号	表記	I/O Type	IOL / IIL	I/O
SATA0_RX+ SATA0_RX-	Serial ATA channel 0, Receive Input 差動ペア	SATA		I
SATA0_TX+ SATA0_TX-	Serial ATA channel 0, Transmit Output 差動ペア	SATA		O
SATA1_RX+ SATA1_RX-	Serial ATA channel 1, Receive Input 差動ペア	SATA		I
SATA1_TX+ SATA1_TX-	Serial ATA channel 1, Transmit Output 差動ペア	SATA		O
SATA_ACT#	Serial ATA Led. SATAコマンドがアクティブの間オープンコレクタの出力ピンがドライブされます。	OC 3.3V	Max 10 mA	O

## 3.1.5 USB インターフェイス信号

表 11 USB 信号の定義

信号	表記	I/O Type	IOL / IIL	I/O
USB_P0+ USB_P0-	Universal Serial Bus Port 0 差動ペア	USB		I/O
USB_P1+ USB_P1-	Universal Serial Bus Port 1 差動ペア. このポートは USB Client port としてオプションで使用します。	USB		I/O
USB_P2+ USB_P2-	Universal Serial Bus Port 2 差動ペア	USB		I/O
USB_P3+ USB_P3-	Universal Serial Bus Port 3 差動ペア	USB		I/O
USB_P4+ USB_P4-	Universal Serial Bus Port 4 差動ペア	USB		I/O
USB_P5+ USB_P5-	Universal Serial Bus Port 5 差動ペア	USB		I/O
USB_P6+ USB_P6-	Universal Serial Bus Port 6 差動ペア	USB		I/O
USB_P7+ USB_P7-	Universal Serial Bus Port 7 差動ペア	USB		I/O
USB_0_1_OC#	Over current detect input 1. このピンは USB Ports 0 と 1 の USB 電源オーバーカレントをモニターするのに使用します。	CMOS 3.3V でサスペンド	5 mA	I
USB_2_3_OC#	Over current detect input 2. このピンは USB Ports 2 と 3 の USB 電源オーバーカレントをモニターするのに使用します。	CMOS 3.3V でサスペンド	5 mA	I

信号	表記	I/O Type	IOL / IIL	I/O
USB_4_5_OC#	Over current detect input 3. このピンは USB Ports 4 と 5 の USB 電源オーバーカレントをモニターするのに使用します。	CMOS 3.3V でサスペンド	5 mA	I
USB_6_7_OC#	Over current detect input 4. このピンは USB Ports 6 と 7 の USB power over current をモニターするのに使用される。	CMOS 3.3V でサスペンド	5 mA	I
USB_HC_SEL	USB Host control select pin. USB port 1 のモードを設定します。信号がハイアクティブであれば、BIOS は自動的に USB Port 1 を USB クライアントとし、USB クライアントサポートを有効にします。この信号は外部回路により、OC 信号としてドライブされます。	CMOS 3.3V でサスペンド		I
USB_HOST_PRES#	USB external Host present pin. USB Port 1 がクライアントポートであれば、このピンは外部 USB Host が USB Port 1 に接続されていることを示す。この信号は外部 USB Host が接続されているとき、外部回路によってローに落とされます。	CMOS 3.3V でサスペンド		I

## 3.1.6 SDIO インターフェイス信号

SDIO は、Secure Digital Input Output の略です。SDIO をサポートするデバイスは SD-Card や MMC-Card フラッシュメモリーのような小さなデバイスを使用することができます。

表 12 SDIO の信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
SDIO_CD#	SDIO Card Detect この信号は SDIO/MMC カードが入っていることを示します。	CMOS 3.3V		I/O
SDIO_CLK	SDIO Clock. この信号のサイクル毎に 1 ビットずつコマンド及びデータが伝送されます。この信号の最大周波数は 48 MHz です。	CMOS 3.3V		O
SDIO_CMD	SDIO Command/response この信号はカードの初期化及びコマンドに使用されます。初期化モードでは信号は、オープンドレインです。コマンド伝送モードでは信号は、プルアップモードです。	CMOS 3.3V OD/PP		I/O
SDIO_LED	SDIO LED バスに伝送が発生したことを表示する際、外部 LED をドライブします。	CMOS 3.3V	max 1 mA	O
SDIO_WP	SDIO Write Protect この信号は SD カードの書込保護状態を示します。	CMOS 3.3V		I/O
SDIO_PWR#	SDIO Power Enable この信号は SD/MMC カードデバイスにパワーを供給することを有効にします。	CMOS 3.3V		O
SDIO_DAT0-7	SDIO Data lines これらの信号は、プッシュプルモードで動作します。	CMOS 3.3V PP		I/O

## 3.1.7 High Definition Audio 信号

表 13 HDA 信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
HAD_RST#	HD Audio Codec Reset.	CMOS 3.3V		O
HAD_SYNC	Serial Bus Synchronization	CMOS 3.3V		O
HAD_BCLK	Codec からの HD Audio 24MHz Serial Bit Clock.	CMOS 3.3V		O
HAD_SDO	HD Audio Serial Data Output to Codec.	CMOS 3.3V		O
HAD_SDIN	HD Audio Serial Data Input to Codec.	CMOS 3.3V		I

**Note**

Qseven モジュールの High Definition Audio Interface は Intel の High Definition Audio Specification 1.0 に対応しています。

## 3.1.8 LVDS フラットパネル信号

表 14 LVDS フラットパネル信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
LVDS_PPEN	パネル電源制御	CMOS 3.3V	Max 1 mA	O
LVDS_BLEN	パネルバックライト制御	CMOS 3.3V	Max 1 mA	O
LVDS_BLT_CTRL	PWM モジュールのパルス幅による、パネルバックライト制御	CMOS 3.3V		O
LVDS_A0+ LVDS_A0-	LVDS 1 次チャンネル差動ペア 0.	LVDS		O
LVDS_A1+ LVDS_A1-	LVDS 1 次チャンネル差動ペア 1.	LVDS		O
LVDS_A2+ LVDS_A2-	LVDS 1 次チャンネル差動ペア 2.	LVDS		O
LVDS_A3+ LVDS_A3-	LVDS 1 次チャンネル差動ペア 3.	LVDS		O
LVDS_A_CLK+ LVDS_A_CLK-	LVDS 1 次チャンネルクロックライン	LVDS		O
LVDS_B0+ LVDS_B0-	LVDS 2 次チャンネル差動ペア 0.	LVDS		O
LVDS_B1+ LVDS_B1-	LVDS 2 次チャンネル差動ペア 1.	LVDS		O
LVDS_B2+ LVDS_B2-	LVDS 2 次チャンネル差動ペア 2.	LVDS		O
LVDS_B3+ LVDS_B3-	LVDS 2 次チャンネル差動ペア 3.	LVDS		O
LVDS_B_CLK+ LVDS_B_CLK-	LVDS 2 次チャンネルクロックライン	LVDS		O
LVDS_DID_CLK	LVDS フラットパネル検出に使用される DisplayID DDC クロックライン	CMOS 3.3V OD		I/O
LVDS_DID_DAT	LVDS フラットパネル検出に使用される DisplayID DDC データライン	CMOS 3.3V OD		I/O
LVDS_BLC_CLK	外部 SSC クロックチップのための制御クロック信号	CMOS 3.3V OD		I/O
LVDS_BLC_DAT	外部 SSC クロックチップのための制御クロック信号	CMOS 3.3V OD		I/O

**Note**

Qseven™モジュールの BIOS にある LVDS フラットパネル設定は、Video Electronics Standard Association(VESA)で開発されている DisplayID specification に対応し、実装されています。

LVDS フラットパネル設定と DisplayID に関する情報については Video Electronics Standard Association(VESA)のウェブページから specification Display Identification Data(DisplayID)を参照してください。

## 3.1.9 SDVO インターフェイス信号

Intel SDVO ポートは Intel の Graphic Memory Controller Hubs(GMCH)が提供する第 2 世代のデジタルビデオ出力です。電氣的インターフェイスは PCI Express インターフェイスに基づいていますが、プロトコル及びタイミングは固有です。PCI Express は固定周波数で動作しているのに対し、SDVO のインターフェイスはアクティブディスプレイソリューションとタイミングに依存しています。本質的には、SDVO ポートはディスプレイデータを高速でシリアルなフォーマットの差動 AC カップリング信号で送ります。SDVO ポートは、サイドバンド、差動クロックペアと差動データペアで構成されます。

SDVO ポートは SDVO デバイスと Intel GMCH の間の 2 線式、ポイントツーポイントコミュニケーションを提供します。SDVO コントロールクロックとデータは I2C と同様の機能を持ちます。しかし、I2C と異なり、このインターフェイスはポイントツーポイントを対象としており、SDVO デバイスがスイッチとして働き SDVO 制御バスを適切なレシーバに導きます。これに加えてこの制御バスは従来の I2C インターフェイスより速く (1MHz まで) 動作します。

SDVO デバイスは、シリアルフォーマットを受け入れ、データを適当な表示フォーマットに変換します。

SDVO デバイスは SDVO ポートを入力として利用するサードパーティのコーデックで、DVI, LVDS, HDMI, TV-Output を含む各種の出力フォーマットをサポートします。

表 15 SDVO 信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
SDVO_BCLK- SDVO_BCLK+	SDVO 差動ペアクロックライン	PCIE		O
SDVO_INT- SDVO_INT+	SDVO 差動ペア割込入力ライン	PCIE		I
SDVO_GREEN- SDVO_GREEN+	SDVO 差動ペアグリーンデータライン	PCIE		O
SDVO_BLUE- SDVO_BLUE+	SDVO 差動ペアブルーデータライン	PCIE		O
SDVO_RED- SDVO_RED+	SDVO 差動ペアレッドデータライン	PCIE		O
SDVO_FLDSTALL- SDVO_FLDSTALL+	SDVO 差動ペアフィールドストールデータライン	PCIE		I
SDVO_TVCLKIN- SDVO_TVCLKIN+	SDVO 差動ペア TV 出力 同期クロックライン	PCIE		I
SDVO_CTRL_CLK	SDVO デバイスのための I2C をベースにした制御信号(クロック) 注: もし SDVO デバイスからの制御バスが異なる信号電圧の場合、キャリアボード上にその信号に応じた電圧レベルになるように変えるデバイスが必要になります。	CMOS 3.3V OD		I/O

SDVO_CTRL_DAT	SDVO デバイスのための I2C をベースにした制御信号(データ) 注:もし SDVO デバイスからの制御バスが異なる信号電圧の場合、キャリアボード上にその信号に応じた電圧レベルになるように変えるデバイスが必要になります。	CMOS 3.3V OD		I/O
---------------	---	-----------------	--	-----

**Note**

SDVO インターフェイスのサポートはチップセットに依存するので、すべてを Qseven モジュールで対応することはできません。SDVO インターフェイス信号は表示ポートインターフェイスと TMDS インターフェイスの信号とで共用します

## 3.1.10 DisplayPort インターフェイス信号

DisplayPort はオープン、産業スタンダードデジタルディスプレイインターフェイスで、Video Electronics Standard Association(VESA)で開発中です。DisplayPort 仕様は、スケーラブルなデジタルディスプレイインターフェイス及びオプションのオーディオを定義し、コンテンツの保護能力を持ちます。これは、ライセンスフリー、ロイヤルティフリーの最新技術のデジタルオーディオ / ビデオインターコネクトで、主にコンピュータとそのディスプレイモニター間に用いることを意図しています。

表 16 DisplayPort 信号の定義

信号	シェア	表記	I/O Type	IOL / IIL	I/O
DP_LANE3- DP_LANE3+	SDVO_BCLK- SDVO_BCLK+	DisplayPort 差動ペアラインレーン 3.	PCIE		O
DP_LANE2- DP_LANE2+	SDVO_BLUE- SDVO_BLUE+	DisplayPort 差動ペアラインレーン 2.	PCIE		O
DP_LANE1- DP_LANE1+	SDVO_GREEN- SDVO_GREEN+	DisplayPort 差動ペアラインレーン 1.	PCIE		O
DP_LANE0- DP_LANE0+	SDVO_RED- SDVO_RED+	DisplayPort 差動ペアラインレーン 0.	PCIE		O
DP_AUX- DP_AUX+	SDVO_FLDSTALL- SDVO_FLDSTALL+	リンクマネージメント及びデバイスコントロールに用いられる補助チャンネル。差動ペアライン。	PCIE		I/O
DP_HPD#		割込要求として働くホットプラグ現出信号。	CMOS 3.3V		I

**Note**

DisplayPort インターフェイスのサポートはチップセットに依存するので、すべての Qseven モジュールで対応することはできません。DisplayPort インターフェイス信号は SDVO インターフェイス及び TMDS インターフェイスの信号とで共用します。



## 3.1.11 HDMI インターフェイス信号

High-Definition Multimedia interface(HDMI)は圧縮されていないデジタルストリームを送信するための、ライセンスによる、コンパクトなオーディオ/ビデオコネクタインターフェイスです。 HDMI はデジタル送信するために、ビデオデータを TMDS にエンコードし、デジタルビデオを運ぶシングルリンク Digital Visual Interface(DVI)と下位互換があります。 DMI と DVI はともに Silcon Image によって開発され、Silcon Image の強力で、高速なシリアルリンクテクノロジーである TMDS をベースにしています。

表 17 HDMI 信号の定義

信号	シェア	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
TMDS_CLK- TMDS_CLK+	SDVO_BCLK- SDVO_BCLK+	TMDS 差動ペアクロックライン	TMDS		O
TMDS_LANE0- TMDS_LANE0+	SDVO_BLUE- SDVO_BLUE+	TMDS 差動ペアラインレーン 0.	TMDS		O
TMDS_LANE1- TMDS_LANE1+	SDVO_GREEN- SDVO_GREEN+	TMDS 差動ペアラインレーン 1.	TMDS		O
TMDS_LANE2- TMDS_LANE2+	SDVO_RED- SDVO_RED+	TMDS 差動ペアラインレーン 2.	TMDS		O
HDMI_CTRL_CLK	SDVO_CTRL_CLK	HDMI デバイスのための DDC による制御信号(クロック)。 注:信号を HDMI 仕様に合わせるために、キャリアボード上にレベルシフトが必要になります。	CMOS 3.3V OD		I/O
HDMI_CTRL_DAT	SDVO_CTRL_DAT	HDMI デバイスのための DDC による制御信号(データ)。 注:信号を HDMI 仕様に合わせるために、キャリアボード上にレベルシフトが必要になります。	CMOS 3.3V OD		I/O
HDMI_HPD#		ホットプラグ検出割込信号	CMOS 3.3V		I

**Note**

TMDS インターフェイスのサポートはチップセットに依存するので、すべてを Qseven モジュールで対応することはできません。 TMDS インターフェイス信号は SDVO インターフェイス及び TMDS インターフェイスの信号とで共用します。

## 3.1.12 LPC インターフェイス信号

Low Pin Count(LPC)バスインターフェイスは、スーパーI/O コントローラやファームウェアのハブデバイスのような低速の古いデバイスをサポートするよう設計された費用対効果の良い低速のインターフェイスです。

表 18 LPC 信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
LPC_AD[0..3]	多重化されたコマンド、アドレス、及びデータ	CMOS 3.3V		I/O
LPC_FRAME#	LPC フレームは新しいサイクルのスタートまたは、ブローケンサイクルの終了を示す	CMOS 3.3V		O
LPC_LDRQ#	LPC DMA 要求	CMOS 3.3V		I
LPC_CLK	LPC クロック	CMOS 3.3V		O
SERIRQ	シリアル割込	CMOS 3.3V		I/O

## 3.1.13 電源入力ピン

表 19 電源入力の定義

信号	表記	I/O
VCC	電源 +5VDC ± 5%	P
VCC_5V_SB	予備電源 +5VDC ± 5%	P
VCC_RTC	3v のバックアップ電池入力。VCC_RTC は、RTC 動作及びシステムの電力が無くなった場合のストレージレジスタの不安定動作を防止するため、3V のバックアップ電池に接続されます。	P
GND	電源グラウンド	P

## 3.1.14 電源コントロール信号

表 20 電源コントロール信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
PWGIN	Qseven™モジュールのアクティブハイ入力は、電源の準備ができたことを示します。	CMOS 5V	4 mA	I
PWRBTN#	電源ボタン: ローアクティブ電源ボタン入力 この信号は立ち下がりエッジでトリガーします。	CMOS OD 3.3V Standby	10 mA	I

## 3.1.15 パワーマネジメント信号

表 21 パワーマネジメント信号の定義

信号	表記	I/O Type	I <sub>OL</sub> / I <sub>IL</sub>	I/O
RSTBTN#	リセットボタン入力 この入力 は Qseven™モジュールをリセットするため外部回路によってアクティブローにドライブされます。	CMOS OD 3.3V	10 mA	I
BATLOW#	バッテリーロー入力 この信号はシステムバッテリーが低いか、外部バッテリーのマネージメントイベントがあるとき、外部回路によってアクティブローにドライブされます。	CMOS OD 3.3V サスペンド	10 mA	I
WAKE#	外部システム起動イベント これは外部のウェークアップイベントがあるとき、外部回路によってアクティブローにドライブされます。	CMOS OD 3.3V サスペンド	10 mA	I
SUS_STAT#	サスペンドステータス システムが近くローパワー状態になることを示す。	CMOS OD 3.3V サスペンド	max. 1 mA	O
SUS_S3#	S3 ステート. この信号は S3(Suspend to Ram), S4 または S5 ステートのとき、すべてのランタイムシステムコンポーネントの電源を断じます。	CMOS OD 3.3V サスペンド	max. 1 mA	O
SUS_S5#	S5 ステート この信号は S4 または S5(Soft Off) ステートを示す。	CMOS OD 3.3V サスペンド	max. 1 mA	O
SLP_BTN#	スリープボタン ACPI オペレーティングシステムで使用され、スリープステートに移行する時や、再びウェークアップする時にローアクティブになります。この信号は立ち下がりエッジでトリガーされます。	CMOS OD 3.3V サスペンド	10 mA	I
LID_BTN#	LID ボタン ACPI オペレーティングシステムで使用され、LID スイッチを検出してシステムをスリープステートに移行する時や、再びウェークアップする時にローアクティブになる。 TBD: Open/Close state.	CMOS OD 3.3V サスペンド	10 mA	I

**Note**

VCC 電源レールに接続された、キャリアボード電源レールは、SUS\_S3#信号により、有効する必要があります。

## 3.1.16 各種信号

表 22 各種信号の定義

信号	表記	I/O Type	IoL / IiL	I/O
WDTRIG#	ウォッチドッグトリガ信号 本信号は、アクティブローのパルスの立ち下がりエッジで Qseven™モジュールのウォッチドッグタイマーをリスタートします。	CMOS OD 3.3V	10 mA	I
WDOUT	ウォッチドッグイベントインジケータ ハイアクティブ出力をウォッチドッグトリガが無くなった事を検出するために使用します。 ソフトウェアで無効にされ、システムリセットかシステムパワーダウンを行います。	CMOS 3.3V	max. 5 mA	O
12C_CLK	I2C バスのクロックライン	CMOS 3.3V OD		I/O
12C_DAT	I2C バスのデータライン	CMOS 3.3V OD		I/O
SMB_CLK	システムマネージメントバスのクロックライン	CMOS 3.3V OD サスペンド		I/O
SMB_DAT	システムマネージメントバスのデータライン	CMOS 3.3V OD サスペンド		I/O
SMB_ALERT#	システムマネージメントバスアラート入力。 本信号は、SMD デバイスによりローにドライブすることにより SM バスの信号イベントを生成します。	CMOS 3.3V OD サスペンド		I/O
SPKR	オーディオ出力 PC AT システムにあるスピーカ	CMOS 3.3V		O
BIOS_DISABLE#	モジュール BIOS 禁止入力信号 モジュールのオンボード BIOS を禁止するためローにします。	CMOS 3.3V		I
MFG_NC0 MFG_NC1 MFG_NC2 MFG_NC3 MFG_NC4	キャリアボードに結線してはいけません。 これらのピンは製造で使用します。 例えば、製造時にスキャンする目的で JTAG 信号として使用することができます。	n.a.	n.a.	n.a.
RSVD	未結線			NC

## 3.1.17 熱マネジメント信号

表 23 熱マネジメント信号の定義

信号	表記	I/O Type	IoL / IiL	I/O
THRM#	サーマルアラームは、外部ハードウェアで生成された、アクティブロー信号で、温度オーバーを表示します。この信号は熱暴走を止めるために使用します。	CMOS 3.3V		I
THRMTRIP#	サーマルアラームはプロセッサのオーバーヒート状態を表示します。もし、THERMTRIP #がアクティブになるとシステムは直ちに S5 State(Soft Off)に移行します。	CMOS 3.3V サスペンド		O

## 3.1.18 ファンコントロール

表 24 ファンコントロール信号の定義

信号	表記	I/O Type	IoL / IiL	I/O
FAN_PWMOUT	ファンスピード制御 CPU の温度に基づくファンの RPMをコントロールするためパルス幅変調(PWM)を使用します。	CMOS 3.3V OC		O
FAN_TACHOIN	ファンタコメータ入力	CMOS 3.3V		I

### 3.2 電源入力条件

Qseven™モジュールは1つの+5V 入力電源レールによってドライブされるよう設計されています。

加えて、2つのオプションな電源レール仕様がQseven™にあります。1つは Qseven™モジュールに+5V スタンバイ電圧を供給するもので、もう1つはキャリアボード上に設置された電池によって供給される+3V リアルタイムクロック (RTC)供給電圧です。

もし、キャリアボードがスタンバイ機能を要求されないときには、+5V スタンバイ電源レールは不要です。

+3V RTC バッテリー電圧についても同様です。

**表 25 電源入力特性**

電源レール	ノーマル入力	入力レンジ	最大入力リップル
VCC	+5V	+4.75V - +5.25V	± 50 mV
VCC_5V_SB	+5V	+4.75V - +5.25V	± 50 mV
VCC_RTC	+3V	+2.0V - +3.3V	± 20 mV

**Note**

もし、スタンバイ 5V 電源レール VCC\_5V\_SB が、キャリアボードによって供給されない場合、すべてのピンは標準の 5V 電源レール VCC に接続しなければなりません。

### 3.2.1 電源入力シーケンス

Qseven の入力電源条件は次のとおり:

スタートシーケンス:

- ・ VCC\_RTC は VCC\_5V\_SB が立ち上がるのと同時または先に立ち上がらなければならない。
- ・ VCC\_5V\_SB は VCC が立ち上がるのと同時または先に立ち上がらなければならない。
- ・ PWGIN は VCC が立ち上がるのと同時または後に立ち上がらなければならない。

ストップシーケンス:

- ・ PWGIN は VCC が立ち下がるのと同時または先に立ち下さがらなければならない。
- ・ VCC は VCC\_5V\_SB が立ち下がるのと同時または先に立ち下がりなければならない。
- ・ VCC\_5V\_SB は VCC\_RTC が立ち下がるのと同時または先に立ち下がりなければならない。

図 8 電源入力シーケンス

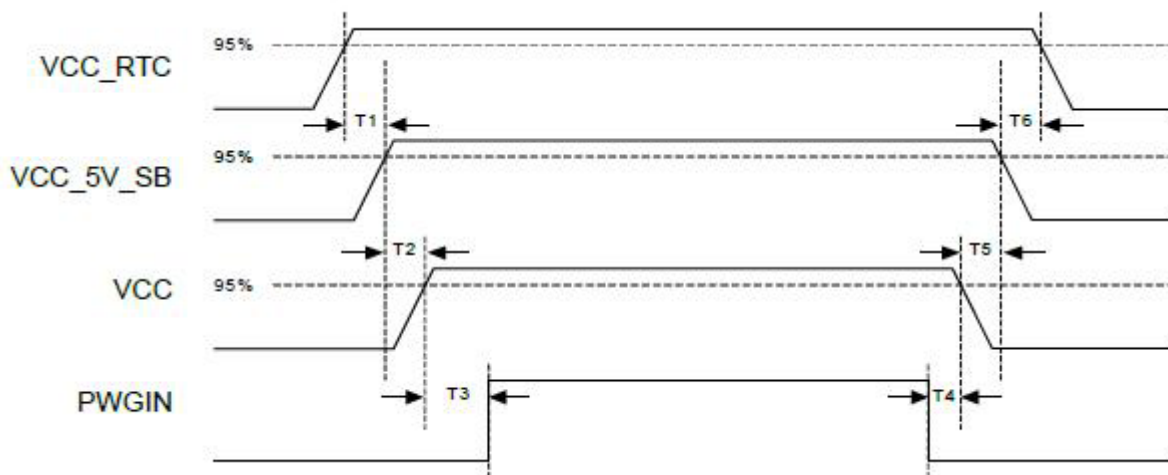


表 26 電源入力シーケンス

項目	表記	値
T1	VCC_RTC の立ち上がりから VCC_5V_SB の立ち上がり	0 ms
T2	VCC_5V_SB の立ち上がりから VCC の立ち上がり	0 ms
T3	VCC の立ち上がりから PWGIN の立ち上がり	0 ms
T4	PWGIN の立ち下がりから VCC の立ち下がり	0 ms
T5	VCC の立ち下がりから VCC_5V_SB の立ち下がり	0 ms
T6	VCC_5V_SB の立ち下がりから VCC_RTC の立ち下がり	0 ms

## 4. Qseven™の信号配分

### 4.1 PCI Express

PCI Express Base Spec.Rev. 1.1 では Qseven™ CPU モジュール上の PCI Express ホストデバイスとキャリアボードの PCI Express デバイス、ExpressCard または PCI Express add-in カードの間のトータル接続ロスが 13.2 dB が許容されています。

Qseven™モジュールの電気特性は電氣的挿入損で定義されています。この配分は電氣的仕様をキャリアボードの設計者と Qseven™モジュールのベンダーに分けます。明示されていない限り、ここに書かれている仕様が各インターフェイス間のすべての高速信号に適用されます。

エンコードされたデータの信号レートはポイントツーポイントで 2.5 Gigabit です。

#### 4.1.1 Qseven™モジュール PCI Express 信号

図 9 PCI Express 信号

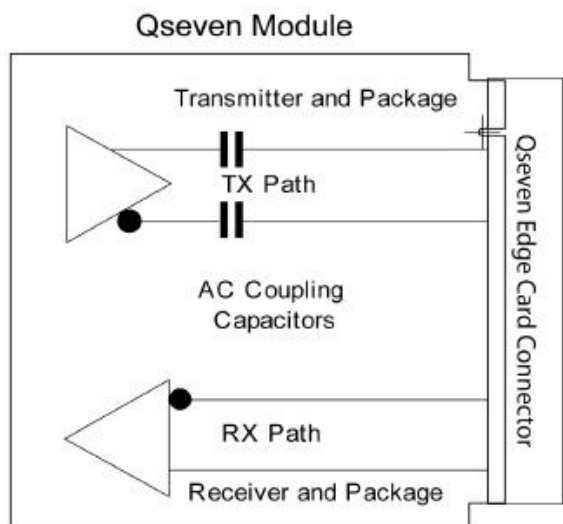


表 27 PCI Express 信号

セグメント	表 1.25 GHz での 損失配分値	最大トレース長	コメント
Qseven モジュール (TX パス)	< 2.5 dB	2 インチ	Note 1,2,3,4,5,6
Qseven モジュール (RX パス)	< 2.1 dB	2 インチ	Note 1,2,4,5,6

#### Notes

1. PCI Express の基本仕様はコネクタ間の損失を 1.25 GHz の信号で 13.2 dB 許容しています。配分された Qseven™損失信号はクロストークとインピーダンスのミスマッチングを含んでいません。設計とシミュレーションの手引きとして、PCI Express CEM仕様では全コネクタ間のパスについて、クロストークとインピーダンスのミスマッチングをカバーするため 13.2 dB から 5.2 dB を引くことを推奨しています。  
5.2 dB は PCI CEM仕様で推奨されているとおり、全体で 1.25dB のガードバンドを含んでいます。
2. この信号はキャリアボードのコネクタも含んでいます。Qseven™コネクタの信号配分は @ 1.25 GHz で 1.0dB です。
3. TX パス信号は DC デカプリング キャパシタの付加的なダンピングを含んでいます。
4. PCBトレースの典型的なダンピングは@ 1.25GHz (FR-4 に基づく材料では共通) で 0.35 dB/インチです。



5. コアロジックのチップセットから Qseven™ モジュール上の Qseven™コネクタへの、RX パスについてはトレースあたり最大 2 ピア、TX パスについてはトレースあたり最大 4 ピアです。
6. トレースルーティングは高速差動トレースについての設計ルールに沿って実装されています。

#### 4.1.2 PCI Express 挿入損

図 10 PCI Express Link トポロジー 1

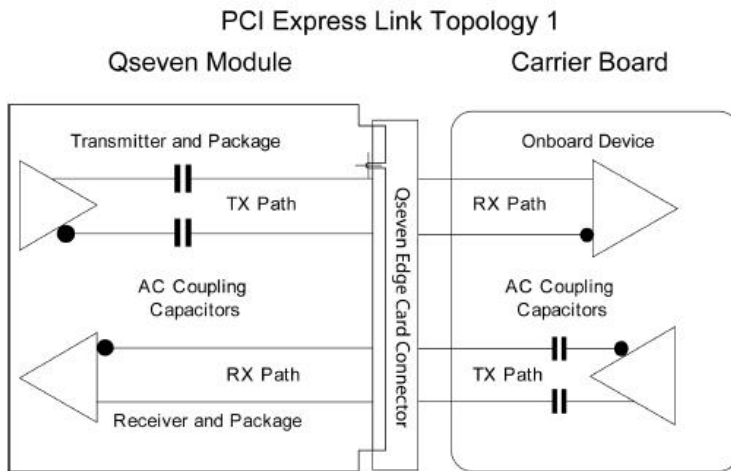
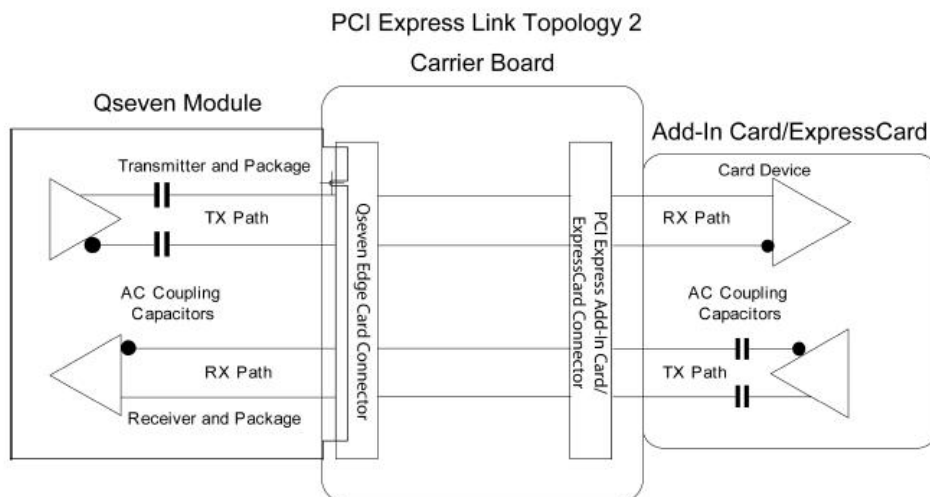


図 11 PCI Express Link トポロジー 2



#### Note

図 11 で用いられている “TX-パス” は Qseven™モジュール上の PCI Express トランスミッタから Qseven™キャリアボード上のオンボードデバイスまたはアドインカードの PCI Express レシーバへの信号パスをさしています。

図 11 で用いられている “RX-パス” は Qseven™キャリアボード上のオンボードデバイスまたはアドインカードの PCI Express トランスミッタから Qseven™モジュール上の PCI Express レシーバへの信号パスをさしています。

表 28 キャリアボード PCI Express 挿入損

セグメント	1.25 GHz での 損失配分値	最大トレース 長	コメント
キャリアボードトポロジー 1 (TX パス)	5.5 dB	14.5 インチ	PCI Express デバイスを乗せたキャリアボード
キャリアボードトポロジー 1 (RX パス)	5.9 dB	15.7 インチ	PCI Express デバイスを乗せたキャリアボード
キャリアボードトポロジー 2 (TX パス)	4.1 dB	7.7 インチ	アドインカードまたは ExpressCard のための PCI Express Connector を乗せたキャリアボード
キャリアボードトポロジー 2 (RX パス)	4.1 dB	7.7 インチ	アドインカードまたは ExpressCard のための PCI Express Connector を乗せたキャリアボード

表 28 のトレース長は次の仮定に基づいています

- PCBトレースのダンピングは 0.35dB/インチ @1.25GHz (FR-4 ベースの材料の共通値)
- RX パス信号は DC デカプリング キャパシタと、デカプリング キャパシタを取り付けるための 2 つの付加ビアを含みます。
- Qseven™キャリアボード上の Qseven™ コネクタから、オンボードのデバイスへは、RX パスについてはトレースあたり最大 2 つのビア、TX パスについてはトレースあたり最大 4 つのビア。
- Qseven™キャリアボード上の Qseven™ コネクタから、PCI Express 延長ソケットへは、RX パスについてはトレースあたり最大 2 つのビア、TX パスについてはトレースあたり最小 2 つのビア。このソケットは PCI Express Card 電気的特性仕様に適合し、標準的な PCI Express カードも、ExpressCard も含みます。
- トレースルートは高速差動トレースの設計ルールに従って実装されています。

表 28 の値は信号集積シミュレーションによって算出され、最悪ケースのシナリオを反映しています。

この値は、Qseven™モジュールと他のベンダーとの間の最大インターオペラビリティについて算出されており、この値から外れることが必要になった設計者は、Qseven™仕様と PCI Express 仕様が両立することを保証するために適切な信号集積シミュレーションを実施しなければなりません。この仕様で示された設計ルールに従わず、シミュレーションも行われていないキャリアボードは、Qseven™に適合していないものとします。

シミュレーション環境をセットアップしようとするキャリアボード設計者は、Qseven™モジュールのベンダーに連絡し、信号集積シミュレーションのための Qseven™モジュールモデルを得る必要があります。

#### Note

高速差動トレースの設計ガイドラインは、Qseven™設計ガイドの中にあります。

4.2 Serial ATA

4.2.1 Serial ATA 挿入損

Serial ATA 仕様の概要にあるとおり、Qseven™モジュールと、キャリアボード上に実装される SATA に挿入損があります。

図 12 では、Qseven™ に基づくアプリケーションの標準的な Serial ATA Link トポロジーを示します。

図 12 Serial ATA Link トポロジー

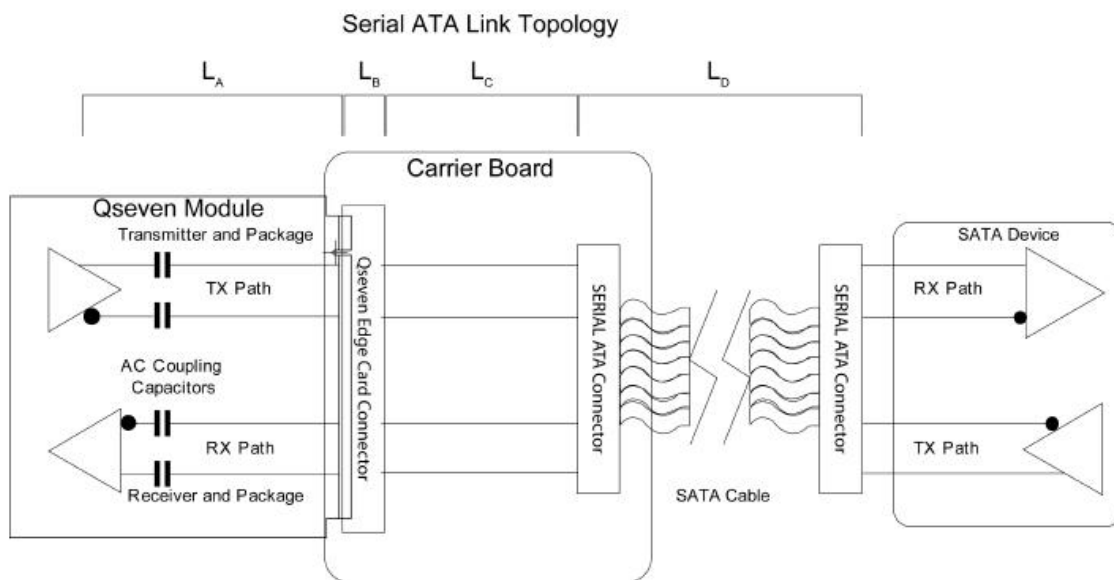


表 29 SATA 挿入損の配分

セグメント	1.5 GHz での 損失配分値	最大トレース 長	コメント
LA	1.05 dB	2.5 インチ	モジュールトレース@ 0.28 dB / GHz / inch
カップリング キャパシタ	0.40 dB		
LB	0.40 dB		MXM コネクタ@ 1.5 GHz
LC	3.07 dB	7.2	キャリアボードトレース@ 0.28 dB / GHz / inch
LD	6.00 dB		ケーブル及びケーブルコネクタの仕様で示された 許容値
合計	10.92 dB		

表 29 のトレース長は次の仮定に基づいています。

- ・ PCBトレースの標準的なダンピングは 0.42dB/インチ @1.5GHz (FR-4 ベースの材料の共通値)
- ・ 損失は DC デカップリングと Qseven™ コネクタ損失による付加的な低下を含みます。
- ・ トレースルートは高速差動トレースの設計ルールに従って実装されています。

4.3 USB

4.4.1 USB 挿入損

図 13 USB リンクトポロジー

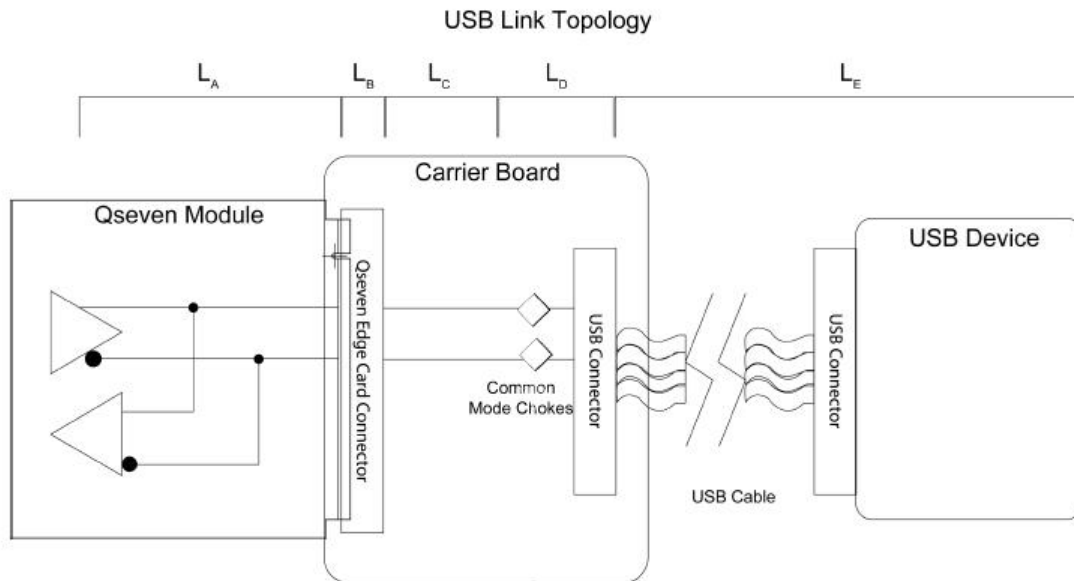


表 30 USB 挿入損

セグメント	400 MHz での 損失値	最大トレース 長	コメント
LA	0.67 dB	6 インチ	モジュールトレース @ 0.28 dB / GHz / inch
LB	0.05 dB		MXM コネクタ @ 400 MHz
LC	1.68 dB	14 インチ	キャリアボードトレース @ 0.28 dB / GHz / inch
LD	1.00 dB		USB コネクタ及びフェライト損
LE	5.80 dB		USB ケーブル及びソース仕様毎の遠端コネクタ 損
合計	9.2 dB		

Qseven USB は表 30 で示された値と同等以下の挿入損で実装されなければなりません。示された挿入損の値は周波数に依存する材料の損失に関するもののみです。クロストーク損は USB 仕様における材料損に分けられます。

キャリアボードに実装される USB ターゲットデバイスの”デバイスダウン”実装は、キャリアボード損失にフェライト及び USB コネクタ挿入損を加えることができます。

キャリアボード挿入損は LC+LD、2.68 dB となります。

## 4.4 Gigabit Ethernet

## 4.4.1 Gigabit Ethernet 挿入損

図 14 Gigabit Ethernet Link トポロジー

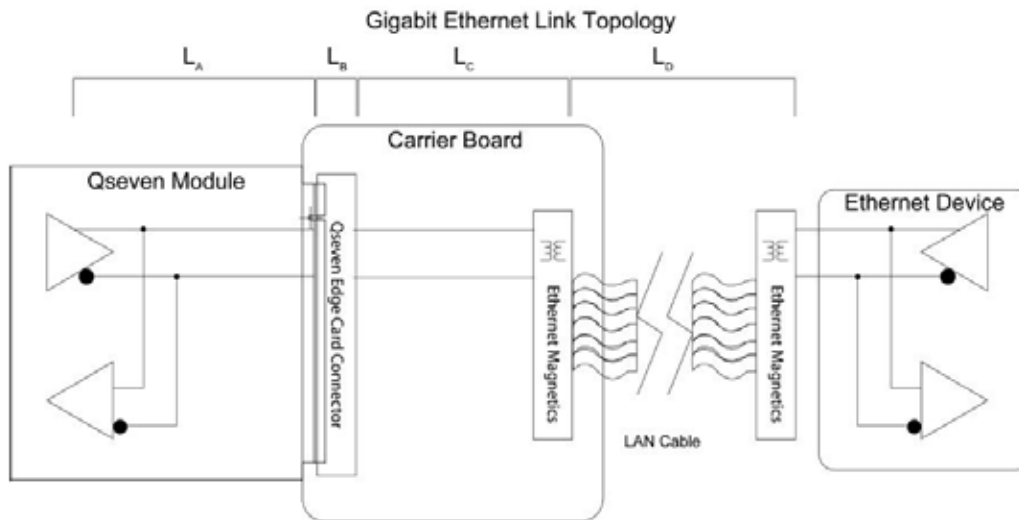


表 31 Gigabit Ethernet 挿入損

セグメント	100 MHz での 損失値	最大トレース 長	コメント
LA	0.08 dB	2 インチ	モジュールトレース @ 0.28 dB / GHz / inch
LB	0.02 dB		MXM コネクタ @ 100 MHz
LC	0.15 dB	4 インチ	キャリアボードトレース @ 0.28 dB / GHz / inch
LD	24.00 dB		ケーブル、ケーブルコネクタ、集積マグネットコア、それぞれの仕様による
合計	24.25 dB		

Qseven Ethernet は表 31 で示された値と同等以下の挿入損で実装しなければなりません。示された挿入損は周波数に依存する材料の損失に関するもののみです。クロストーク損は Gigabit Ethernet 仕様による材料損から分けられます。

Ethernet スイッチのようなキャリアボードに実装される Ethernet ターゲットデバイスの”デバイスダウン”実装は、キャリアボードに RJ45 Ethernet ジャック及び集積マグネットコア損を加えることができます。この挿入損は通常 1 dB です。

キャリアボード挿入損は  $L_C + 1$  dB で、1.15 dB になります。

## 5. ソフトウェア定義

### 5.1 BIOS 実装

#### 5.2.1 LPC Super I/O サポート

Qseven™ BIOS ファームウェアは、従来型 COM ポートを提供するため、外部 LPC Super I/O コントローラのサポートを行います。

Super I/O による COM ポートのサポートは、Qseven™ モジュール BIOS で実現します。:

1. Winbond W83627DHG LPC Super I/O with 2 COM ports
2. SMSC SCH3114 LPC Super I/O with 4 COM ports

アプリケーションにより Super I/O の機能が付加される場合には、その機能はアプリケーションのソフトウェアプログラムに実装されます。ハードウェアストラップで構成できる Super I/O の機能があり、これは特定の Super I/O (例えば PS/2 キーボード機能) のデータシート内で定義されます。Super I/O が Qseven™ モジュール上に実装される場合、デフォルトでは、これらの機能は禁止されなければなりません。

Super I/O コントローラの基本アドレスは、Super I/O コントローラの従来型 COM ポートデバイスが BIOS でイニシャライズされることを保証するため、0x2E でなければなりません。

## 5.2 組み込みアプリケーションソフトウェアインターフェイス

### 5.2.1 全般情報

Qseven™組み込みコンピュータモジュールは産業用途に付加機能があります。この機能は Embedded Application Software Interface (EASI)と呼ばれる API(Application program Interface)を使用して提供されます。

この API は(たとえば、easy.dill for Windows)のようなシェアード ライブラリーにより提供されます。この例としては、Watchdog timer, I2C Bus, LCD brightness control, BIOS user storage area, reading the system temperature などがあります。

これらの機能は、標準化されたソフトウェアインターフェイスが定義されていないので、COM の拡張性に比較し、期待以上に困難です。一般的にソフトウェアの修正を避けるため、Qseven™仕様は、一貫したソフトウェア API を含んでいます。このため、様々な製造者の Qseven™モジュールはハードウェアやソフトウェアの修正を行うことなく容易に交換できます。

モジュール製造者が提供する API は、次のファイルを含みます。

オペレーティングシステム	EASI Files
Windows Vista 32	easi.dill, easi.h
Windows XP	easi.dill, easi.h
Windows XP Embedded	easi.dill, easi.h
Windows CE	easi.dill, easi.h
Linux	easi.so, easi.h

上記リストは最もよく使用されるオペレーティングシステムのみを記したものであり、モジュール製造者は他のオペレーティングシステムのための API サポートを提供することがあります。

EASI を使用するための一般的なルール:

- dwID は、機能が適合するターゲットデバイス(たとえば一次 I2C バス)を指定するためのものです。
- すべての dwID は 0-ベースの識別子で他のオプションがリストされない限り 0 になります。もし、定義されない dwID の値が関数に入ってくると、関数は EASI\_STATUS\_INVALID\_PARAMETER エラーをセットします。
- すべてのバージョン番号は符号なしのロング整数で、ビット 31..24 はメジャー、23..16 はマイナー、15..0 は製作数を表します。
- 明示されない限り、関数は誤りで 0、成功で 1 になります。  
もし、機能しなければ、関数は誤りを返却します。

次のセクションで記述される特徴は EASI のバージョン 0.93 に基づいており、Qseven™ モジュールの製造者によって作り込まれます。

## 5.2.2 EASI ライブラリー

ライブラリー *EasiLibGetVersion* はインターフェイスのバージョンとその性能を把握するために使用します。

```
Unsigned long EasiLibGetVersion(Void);
```

*EasiLibGetLastError* コールは以下の値のうちの1つを用いた最後のライブラリーアクセスの状態の情報を提供します。

```
Unsigned long EasiLibGetLastError(Void);
```

```
#define EASI_STATUS_SUCCESS    0
```

ファンクションコールがうまく実施できた。

```
#define EASI_STATUS_ERROR      -1
```

ファンクションコールがジェネリックエラーによりうまく実施できなかった。

```
#define EASI_INVALID_PARAMETER -2
```

正しくないパラメータがファンクションコールに入った。

```
#define EASI_STATUS_NOT_FOUND  -3
```

EASI の現在のバージョンでは、この値はリザーブされ、使用されていない。

```
#define EASI_STATUS_READ_ERROR -4
```

*Easi2CRead* のような読み込みファンクションが行われているとき、読み込みエラーが起こった。

```
#define EASI_STATUS_WRITE_ERROR -5
```

*Easi2CWrite* のような書き込みファンクションが行われているとき、書き込みエラーが起こった。

```
#define EASI_STATUS_TIMEOUT    -6
```

タイムアウトエラーが起こった。

## 5.2.3 一般的なボード情報

Qseven™モジュールに関して、例えば製造者名、シリアル番号、製品名のような一般的なボード情報を得るために、次の関数が用いられます。

```
Unsigned long EasiBoardGetName(unsigned long dwID, char*pszName, unsigned long dwSize);
```

```
Unsigned long EasiBoardGetValue(unsigned long dwID, unsigned long *pdwValue);
```

```
// strings
```



```
#define EASI_BOARD_MANUFACTURE 0
#define EASI_BOARD_NAME 1
#define EASI_BOARD_SERIAL 2

// values

#define EASI_BOARD_BIOS_REVISION 3
#define EASI_BOARD_BOOT_COUNTER 4
#define EASI_BOARD_RUNNING_TIME_METER 5
```

#### 5.2.4 ストレージエリア

Qseven™モジュールでは、お客さま特有のデータを記憶するための領域を実装することがあります。このエリアは最低でも 32 バイトの連続した記憶領域からなります。このエリアの一般的な使用例は、お客さまのシステム固有のシリアルナンバーです。

読み取り及び書き込みの関数は記憶領域の読み取り及び書き込みに使用され、サイズ関数は記憶領域のサイズを決定するのに用いられます。他の *dwID* 値は将来、API の拡張等で使用する予定です。

```
unsigned long EasiStorageAreaSize(unsigned long dwID);
unsigned long EasiStorageAreaRead(unsigned long dwID, unsigned long dwOffset, unsigned char *pBytes, unsigned long dwLen);
unsigned long EasiStorageAreaWrite(unsigned long dwID, unsigned long dwOffset, unsigned char *pBytes, unsigned long dwLen);
```

#### 5.2.5 監視(Watchdog)

ウォッチドッグの EASI 関数は、以下の関数によります。ウォッチドッグはシステムがタイムアウトになった時、リセットするシングルステージのウォッチドッグです。

```
unsigned long EasiWDogTrigger(void);
unsigned long EasiWDogSetConfig(unsigned long timeout, unsigned long delay, unsigned long mode);
```

#### 5.2.6 I2C バス

I2C の EASI 関数は、以下の関数によります。

```
unsigned long EasiI2CRead(unsigned long dwID, unsigned char bAddr, unsigned char *pBytes, unsigned long dwLen);
unsigned long EasiI2CWrite(unsigned long dwID, unsigned char bAddr, unsigned char *pBytes, unsigned long dwLen);
unsigned long EasiI2CReadRegister(unsigned long dwID, unsigned char bAddr, unsigned short wReg, unsigned char *pDataByte);
unsigned long EasiI2CWriteRegister(unsigned long dwID, unsigned char bAddr, unsigned short wReg, unsigned char bData);
```

上記の関数に対して、異なるタイプの I2C バスをアクセスするために *dwID* 値を定義します。

プライマリ I2C バスは温度センサーのような外部 I2C バスデバイスを接続するのに用いられ、LFP I2C バスはディスプレイの検出に用いられます。

```
#define EASI_I2C_PRIMARY 0
#define EASI_I2C_LFP 1
```

### 5.2.7 LCD コントロール

LCD コントロールの EASI 関数は、以下の関数によります。

これらの関数はバックライトの明るさの増減に用いられます。値は 0 から 100 までで、0 はバックライトオフであり、100 は最大です。Qseven™モジュールの BIOS は、バックライト制御を実現するため、MAXIM MAX5362 DAC (Digital Analog Converter)をサポートしています。

```
unsigned long EasiVgaGetBacklight(unsigned long *pdwSetting);
unsigned long EasiVgaSetBacklight(unsigned long dwSetting);
```

### 5.2.8 温度コントロール

この関数は Qseven™モジュールの温度を 1 単位で把握するのに使用されます。現在、*dwID* 0 のみが定義され、CPU 温度と定義されています。 *dwID* の他の値は将来、API の拡充のため等で使用する予定です。

```
unsigned long EasiTemperatureGetCurrent(unsigned long dwID, unsigned long *pdwSetting);
```

## 6. 工業仕様

下記リストは Qseven™インターフェイス仕様の用語定義と、リンクです。

表 32 工業仕様

仕様	内容	リンク
1000BASE T	IEEE standard 802.3ab 1000BASE T Ethernet	<a href="http://www.ieee.org/portal/site">www.ieee.org/portal/site</a>
ACPI	Advanced Configuration and Power Interface Specification Rev. 3.0a	<a href="http://www.acpi.info">www.acpi.info</a>
DisplayID	Display Identification Data(DisplayID) Structure, Version 1.0	<a href="http://www.vesa.org">www.vesa.org</a>
DisplayPort	Displayport Standard Version 1.1a	<a href="http://www.vesa.org">www.vesa.org</a>
DVI	Digital Visual Interface,Rev 1.0, April 2, 1999, Digital Display Working Group	<a href="http://www.ddwg.org">www.ddwg.org</a>
ExpressCard	Expresscard Standard Release 1.0	<a href="http://www.expresscard.org">www.expresscard.org</a>
HDA	High Definition Audio Specification, Rev. 1.0	<a href="http://www.intel.com/standards/hdaudio">www.intel.com/standards/hdaudio</a>
I2C	The I2C Bus Specification, Version 2.1, January 2000, Philips semiconductors, Document order number 9398 393 4001 1	<a href="http://www.semiconductors.philips.com">www.semiconductors.philips.com</a>
IEEE 802.3-2002	IEEE Standard for Information technology, Telecommunications and information exchange between systems-local and metropolitan area networks-Specific requirements-Part 3:Carrier Sense Multiple Access with Collision Detection (CSMA/CD)Access Method and Physical Layer Specifications	<a href="http://www.ieee.org">www.ieee.org</a>
LPC	Low Pin Count Interface Specification, Revision 1.1 (LPC)	<a href="http://Developer.intel.com/design/chipsets/industry/lpc.htm">Developer.intel.com/design/chipsets / industry/lpc.htm</a>
LVDS	Open LVDS Display Interface (open LDI) Specification, v0.95, May 13, 1999, Copyright National Semiconductor	<a href="http://www.national.com">www.national.com</a>
LVDS	LVDS Owner s Manual	<a href="http://www.national.com">www.national.com</a>
LVDS	ANSI/TIA/EIA-644-A-2001: Electrical Characteristics Of Low Voltage Differential Signaling(LVDS) Interface Circuits, January 1, 2001.	<a href="http://www.ansi.org">www.ansi.org</a>
PCI Express	PCI Express Base Specification, Revision 1.1 March 28, 2005, Coryright 2002-2005 PCI Special Interest Group. All rights reserved	<a href="http://www.pcisig.com">www.pcisig.com</a>
PCI Express	PCI Express Base Specification, Revision 1.1 PCI Express Card Electromechanical Specification, Revision 1.1	<a href="http://www.pcisig.com/specifications">www.pcisig.com/specifications</a>

SATA	Serial ATA: High Speed serialized AT Attachment, Revision 1.0a January 7, 2003 Copyright 2000-2003, APT Technologies, Inc., Dell Computer corporation, Intel corporation, Maxtor Corporation, Seagate Technology LLC. All rights reserved	<a href="http://www.sata-io.org">www.sata-io.org</a>
SATA	Serial ATA Specification, Revision 1.0a	<a href="http://www.serialata.org">www.serialata.org</a>
SDVO	SDVO(Serial Digital video Out) is a proprietary Intel Technology introduced with their 9xx-series of chipsets.	<a href="http://en.wikipedia.org/wiki/SDVO">En.wikipedia.org/wiki/SDVO</a>
Smart Battery	Smart Battery Data Specification, Revision 1.1, December 11, 1998	<a href="http://www.sbs-forum.org">www.sbs-forum.org</a>
SMBUS	System Management Bus(SMBUS) Specification, Version 2.0, August 3, 2000 Copyright 1994, 1995, 1998, 2000 Duracell, Inc., Energizer Power Systems, Inc., Fujitsu, Ltd., Intel Corporation, Linear Technology Inc., Maxim Integrated Products, Mitsubishi Electric Semiconductor Company, PowerSmart, Inc., Toshiba Battery Co. Ltd., Unitrode Corporation, USAR Systems, Inc. All Rights reserved	<a href="http://www.smbus.org">www.smbus.org</a>
USB	Universal serial Bus(USB) Specification, Revision 2.0	<a href="http://www.usb.org/home">www.usb.org/home</a>