



# *iW*-186コアプレゼンテーション

プレゼンテーションへようこそ  
アイウェーブ・ジャパン株式会社  
菅野 治

kanno@iwavejapan.co.jp

Copyright 2007-2009



# 目次

---

- *iW*-186SOC
- コアの比較
- デモ環境の説明
- *iW*-186コアのデバック方法
- ケーススタディ
- チップスコープに使用方法



# *iW*-186SOC

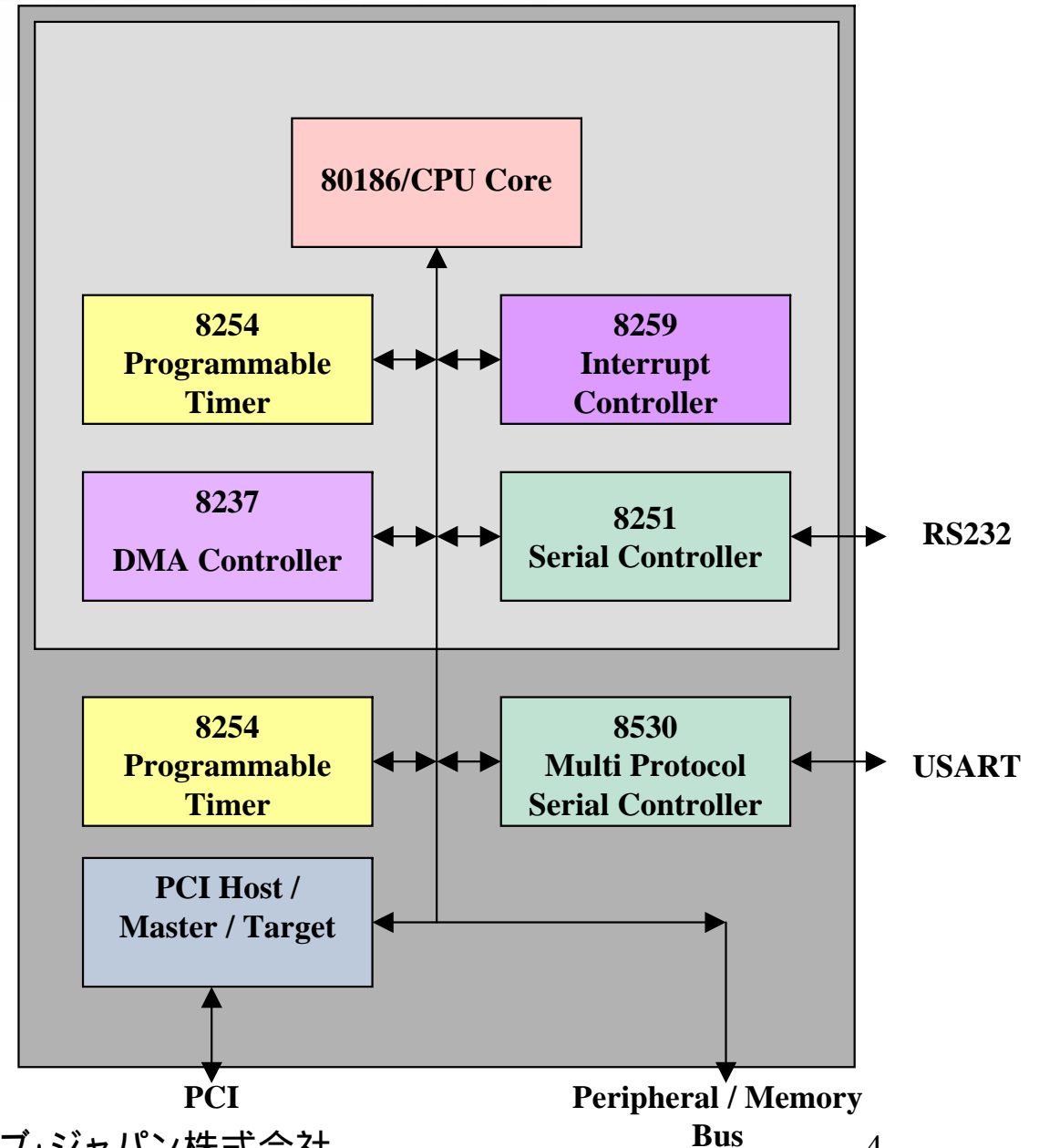
---

➤ 産業、交通、通信のインフラで  
使用した80186組込装置の後継、  
SOCソリューション

➤ 80186プロセッサ命令互換

➤ ペリフェラル:

- シリアル通信コントローラ
- HDLC, タイマー, I/O
- PCI コントローラ
- ASICの置き換え





# *iW-186*の特徴

---

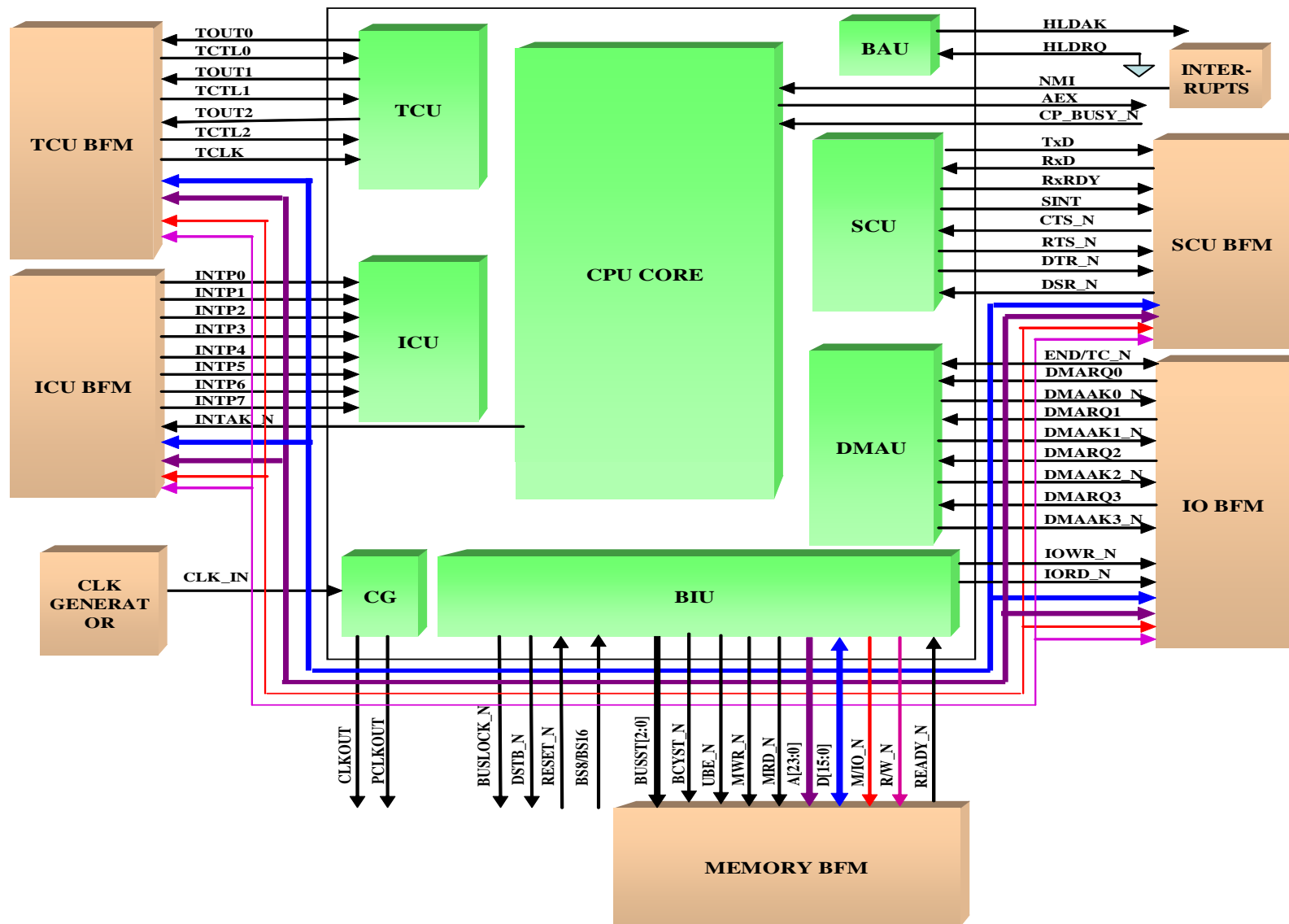
## *iW-186* CPUコア及び

- バスインターフェイスユニット
- バス調停ユニット
- ウェイト制御ユニット

## CPUオンチップ周辺機器

- タイマー制御ユニット
- シリアル制御ユニット
- 割込制御ユニット
- DMA制御ユニット

# CPUコアの確認方法





## CPUコアの確認方法

---

- ベリログで自動テスト環境を作成
- アセンブラで記述された、約10,000のテストケースを実行
- プロセッサコアと全ての周辺機器のタイミングと機能を検証
- 包括的なテスト計画/テスト方法を文書化



## CPUコアの確認方法

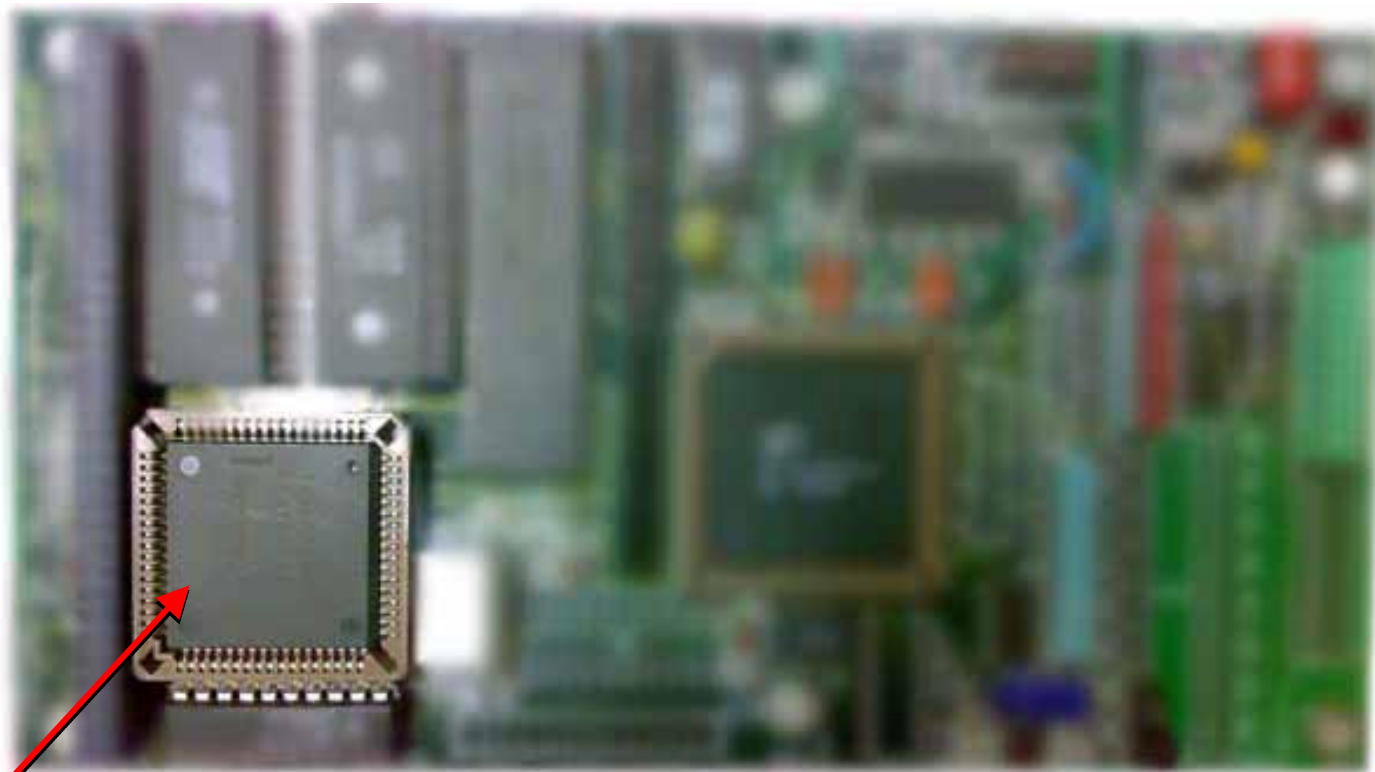
---

- 組込用のDOSが走行する市販のインテル186プロセッサボードに、iW-186ドーターボードを差し込み、開発した186コアを検証。
- 検証の機能を組込DOSデモボードに移植し、全ての機能を検証。



## CPUコアの確認方法

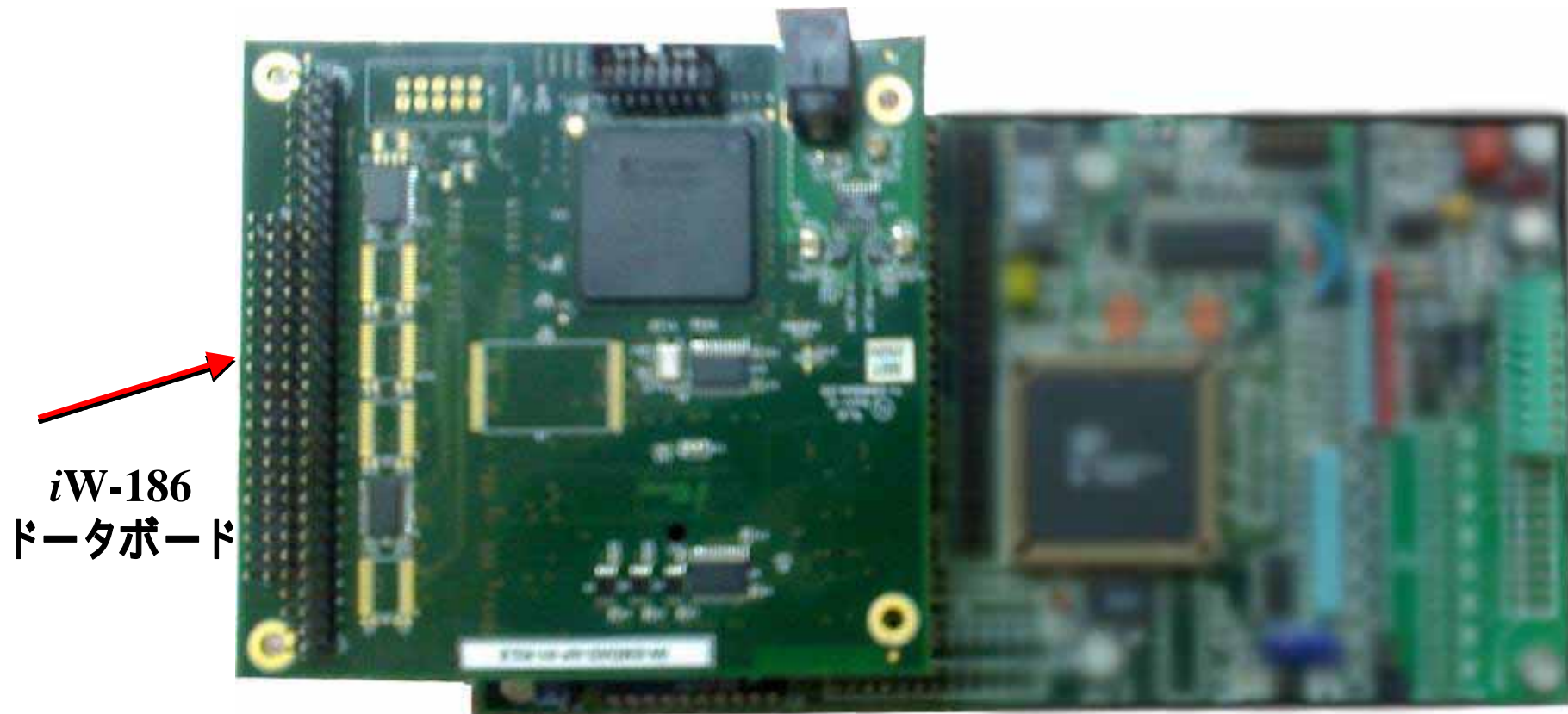
インテル186プロセッサ搭載、組込DOSが走るの市販のボード



**Intel 80188 Processor**

## CPUコアの確認方法

市販のボードに*iW*-186ドータボードを実装し、組込DOSを実行





# インテルとiWaveのコア比較

---

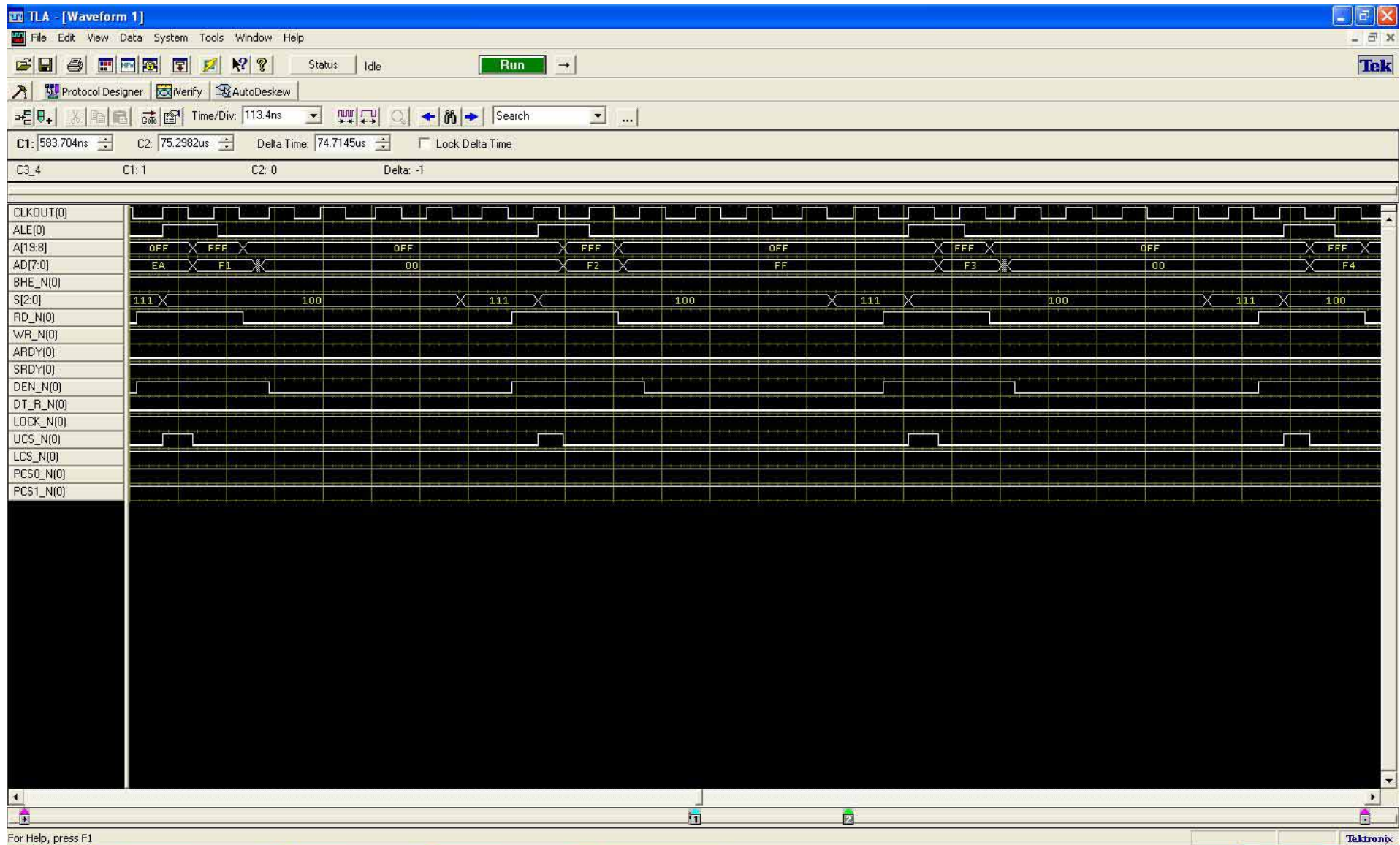


# インテルとiWaveのコア比較

---

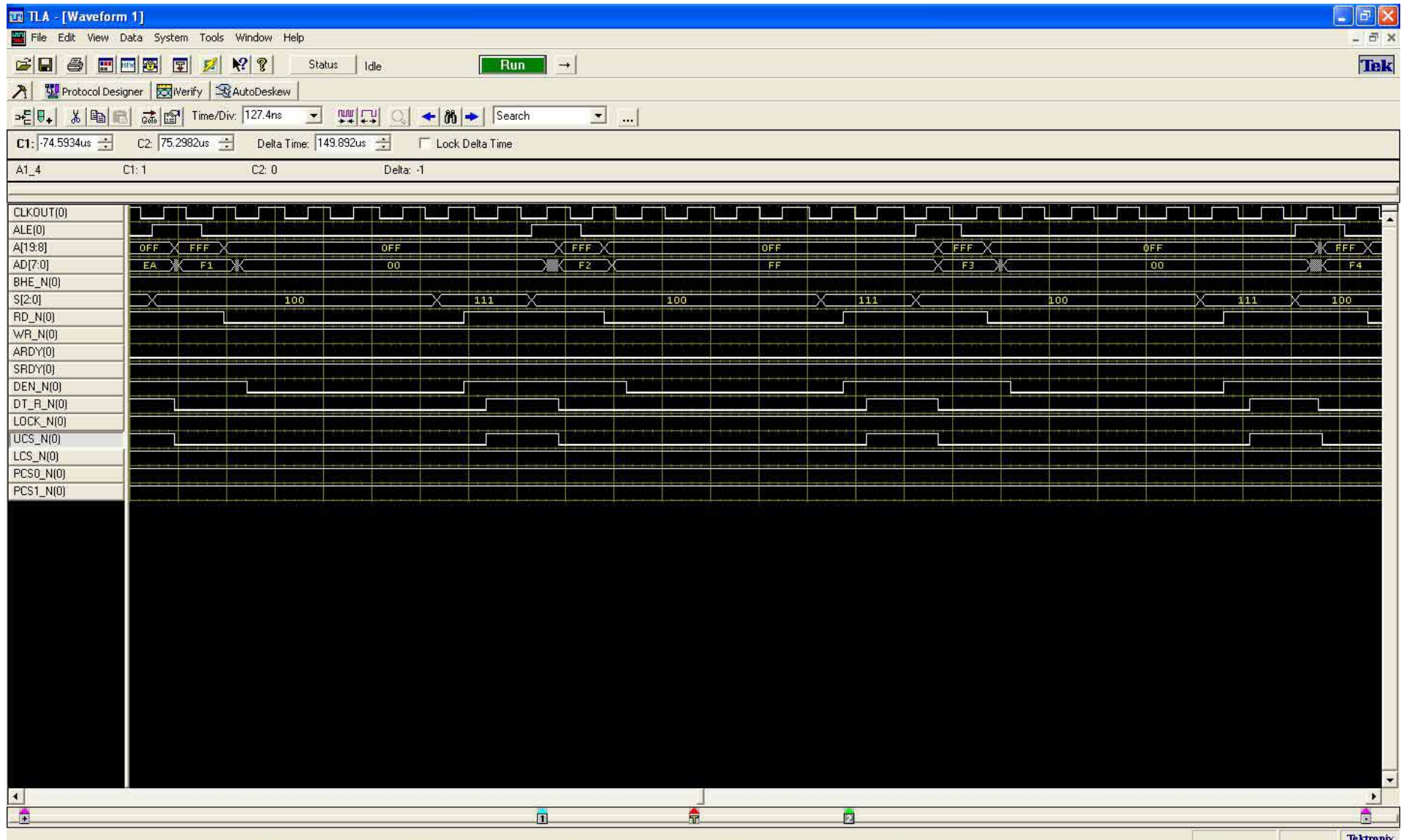
- *iW-188*コア機能と外部I/Oタイミングは、インテル188プロセッサと同一。
- *iW-188*コアの命令デコードと実行タイミングは、インテル188プロセッサと異なる。
- プロセッサの全てのI/O信号を計測比較(インテル188プロセッサと*iW-186/188*ドータボード上で組込DOS走行状態)
- 参考のために計測した波形を示す。

# インテル188プロセッサ命令フェッチサイクル

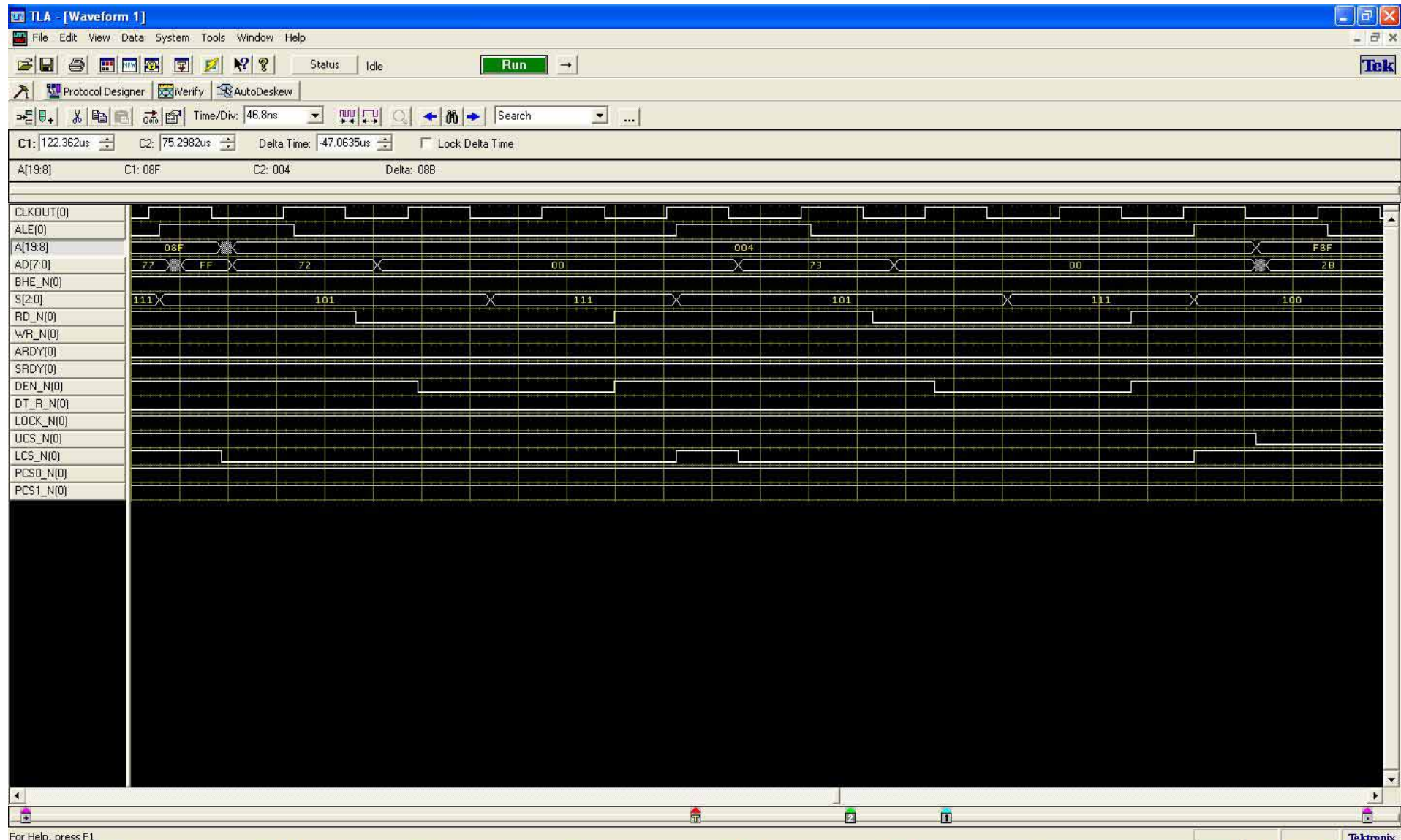




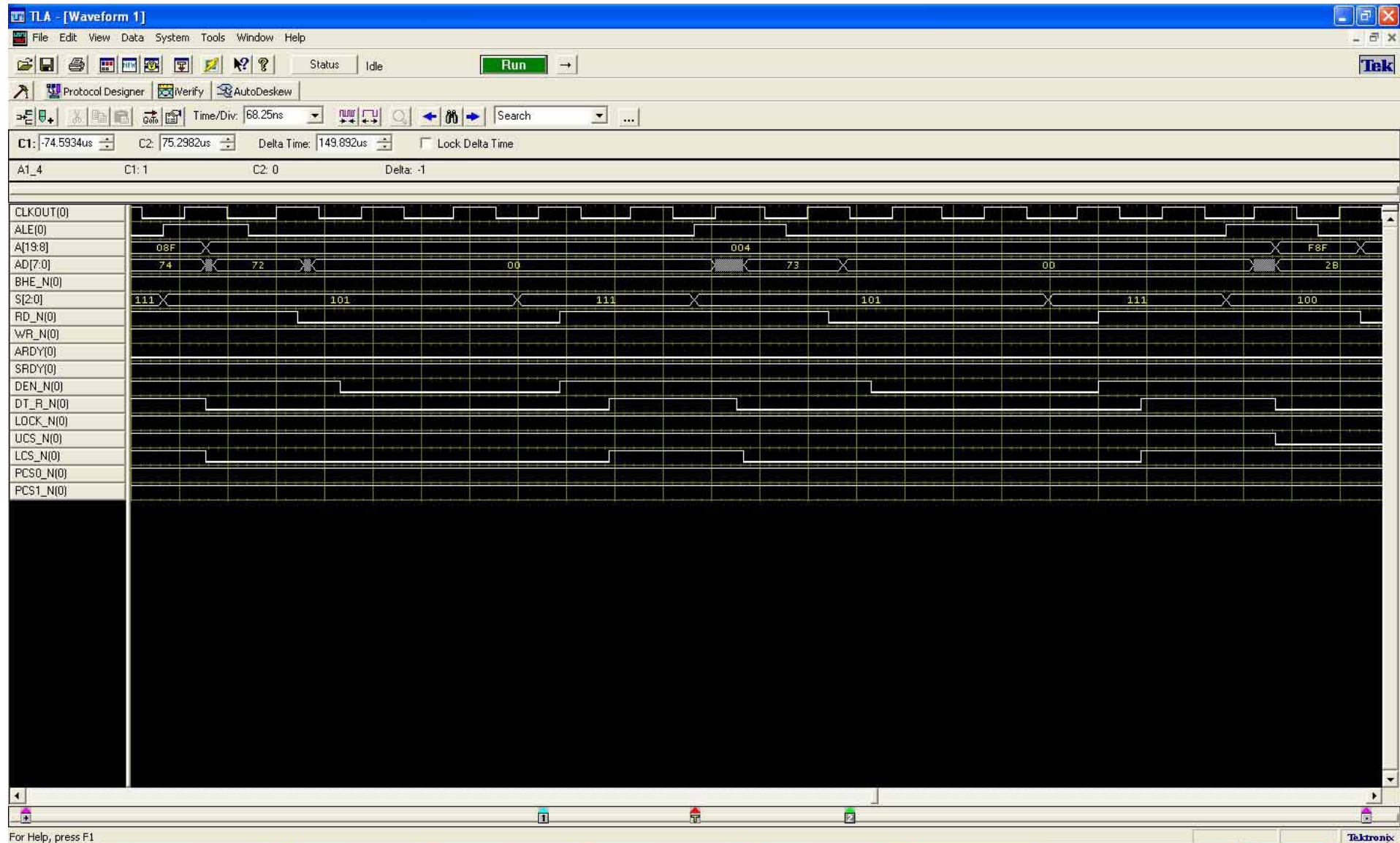
# iW-188プロセッサ命令フェッチサイクル



# インテル188プロセッサメモリリードサイクル

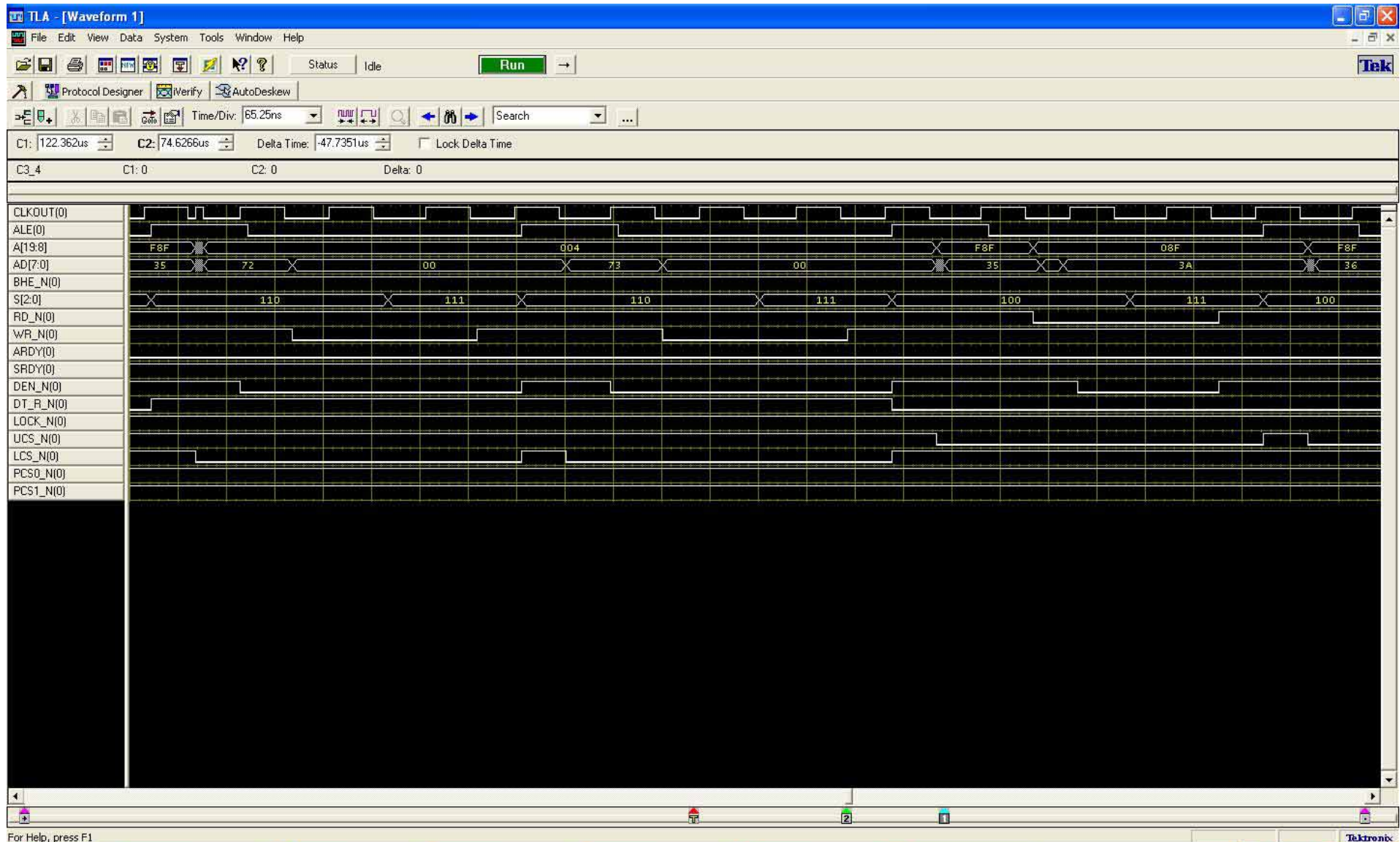


# iW-188プロセッサメモリリードサイクル

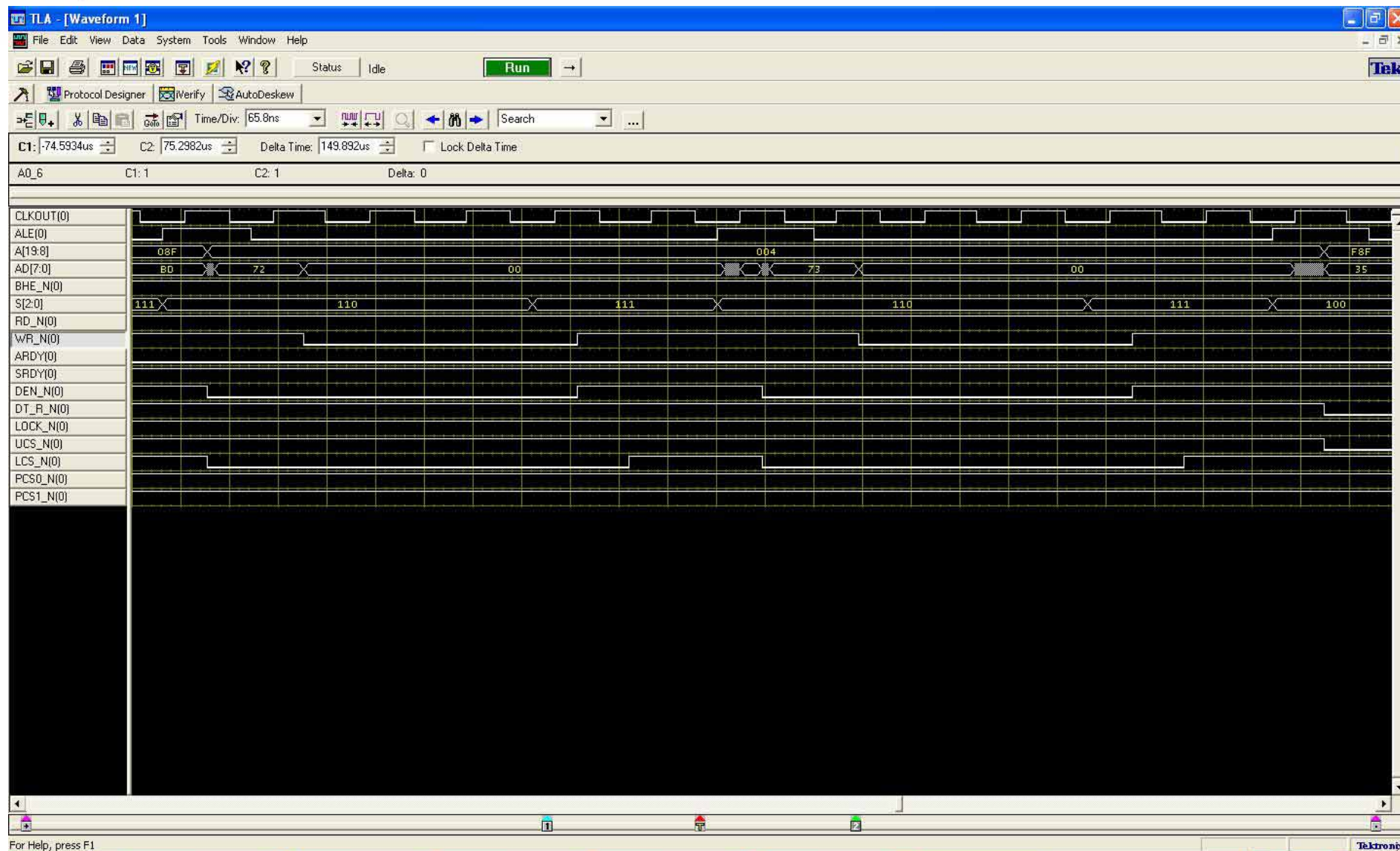




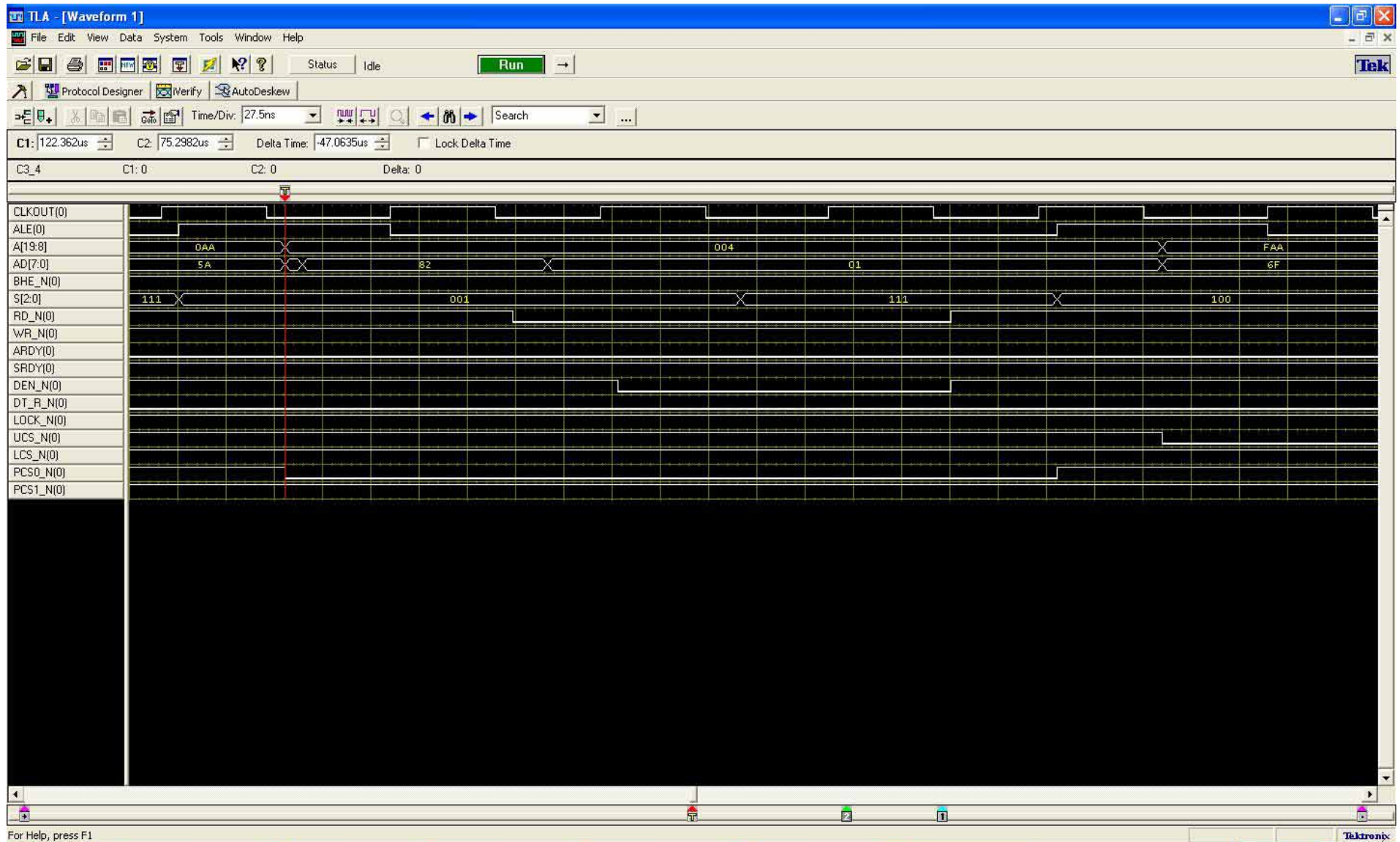
# インテル188プロセッサメモリライトサイクル



# iW-188プロセッサメモリライトサイクル

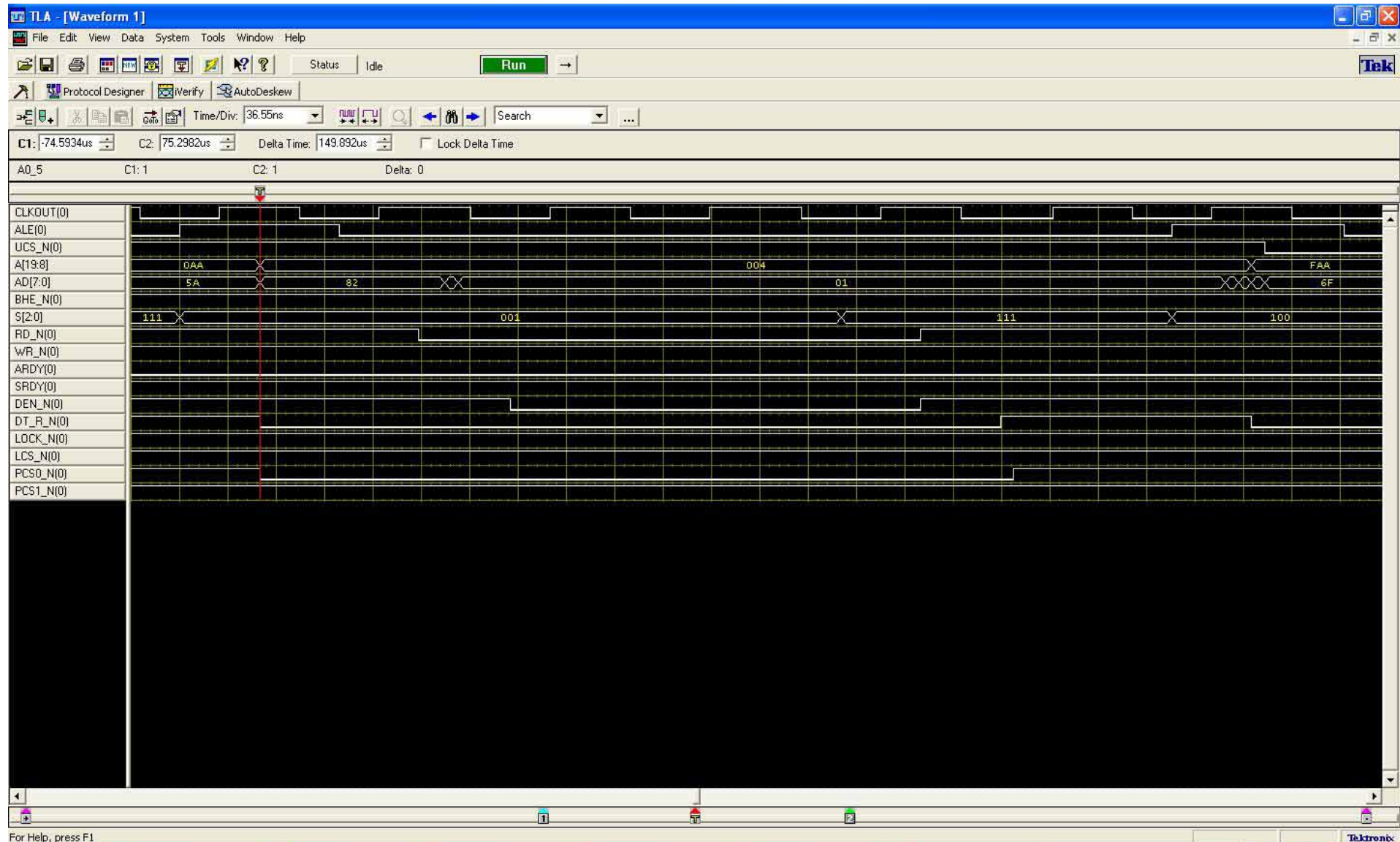


# インテル188プロセッサI/Oリードサイクル

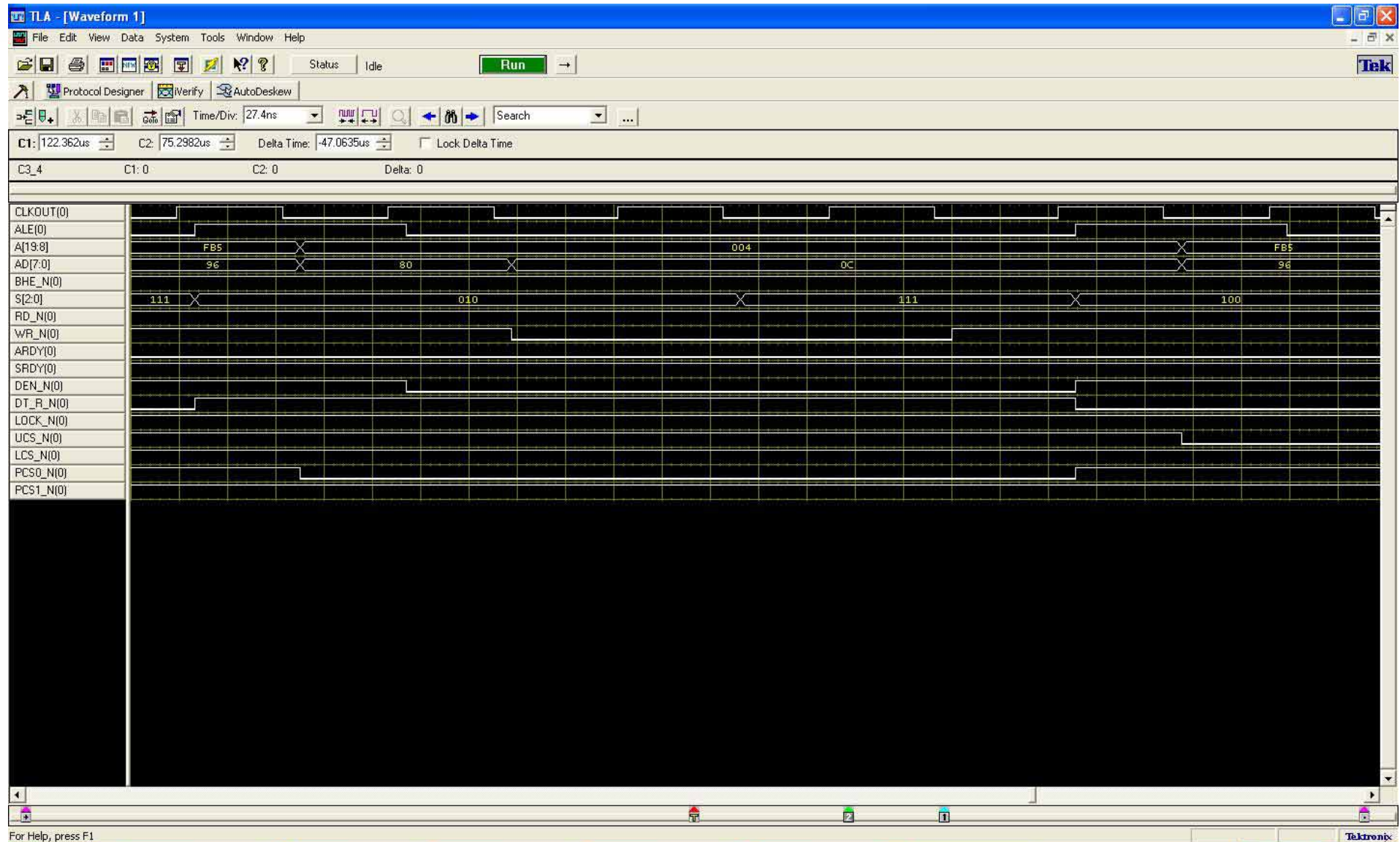




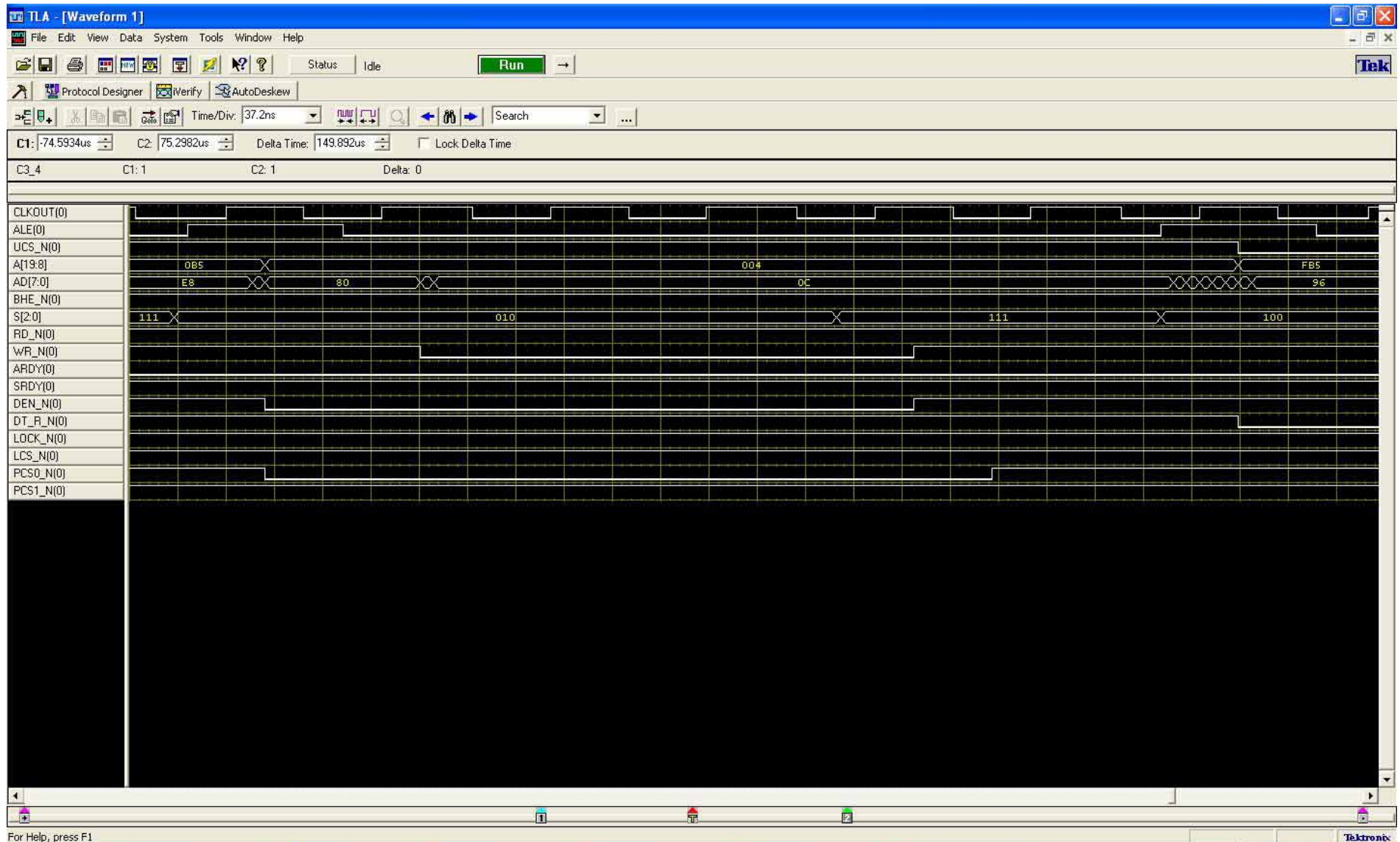
# iW-188プロセッサI/Oリードサイクル



# インテル188プロセッサI/Oライトサイクル



# iW-188プロセッサI/Oライトサイクル





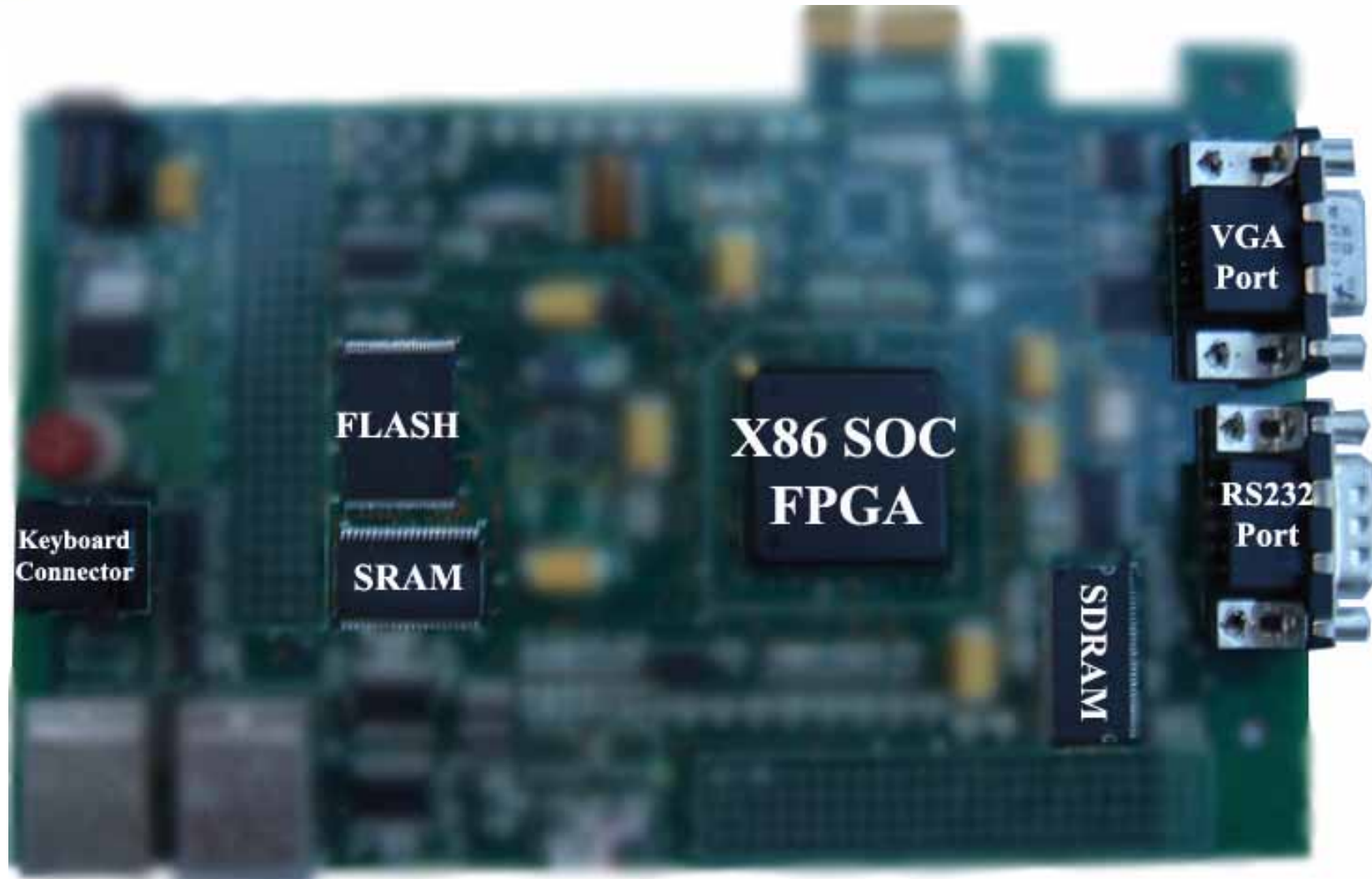
# デモ評価環境

---





# *i*W-186評価ボード





## デモ評価機能

---

- デモ評価環境は、ザイリンクス Spartan-3AN FPGA, 16 MBフラッシュ, 1MB SRAMからなります。
- 自己診断テストはiW-186プロセッサコア をテストします。
- ブートコードは、フラッシュにあり、電源投入後、FPGAロジックが、フラッシュからSRAMにブートコードをコピーし、プロセッサをリセットします。
- プロセッサは、SRAMからコードを読込実行します。




## デバック機能

---

▪ ユーザは、アプリケーションをSRAMにテストのためにダウンロードし、iWaveデバックモニター機能を使用して、デバックすることができます。

- セットブレークポイント
- ブレークポイントからの実行
- ブレークポイントのクリア
- ステップ実行の終了
- ブレークポイントの表示
- ステップ実行



# *i*W-186コアのデバック方法

---

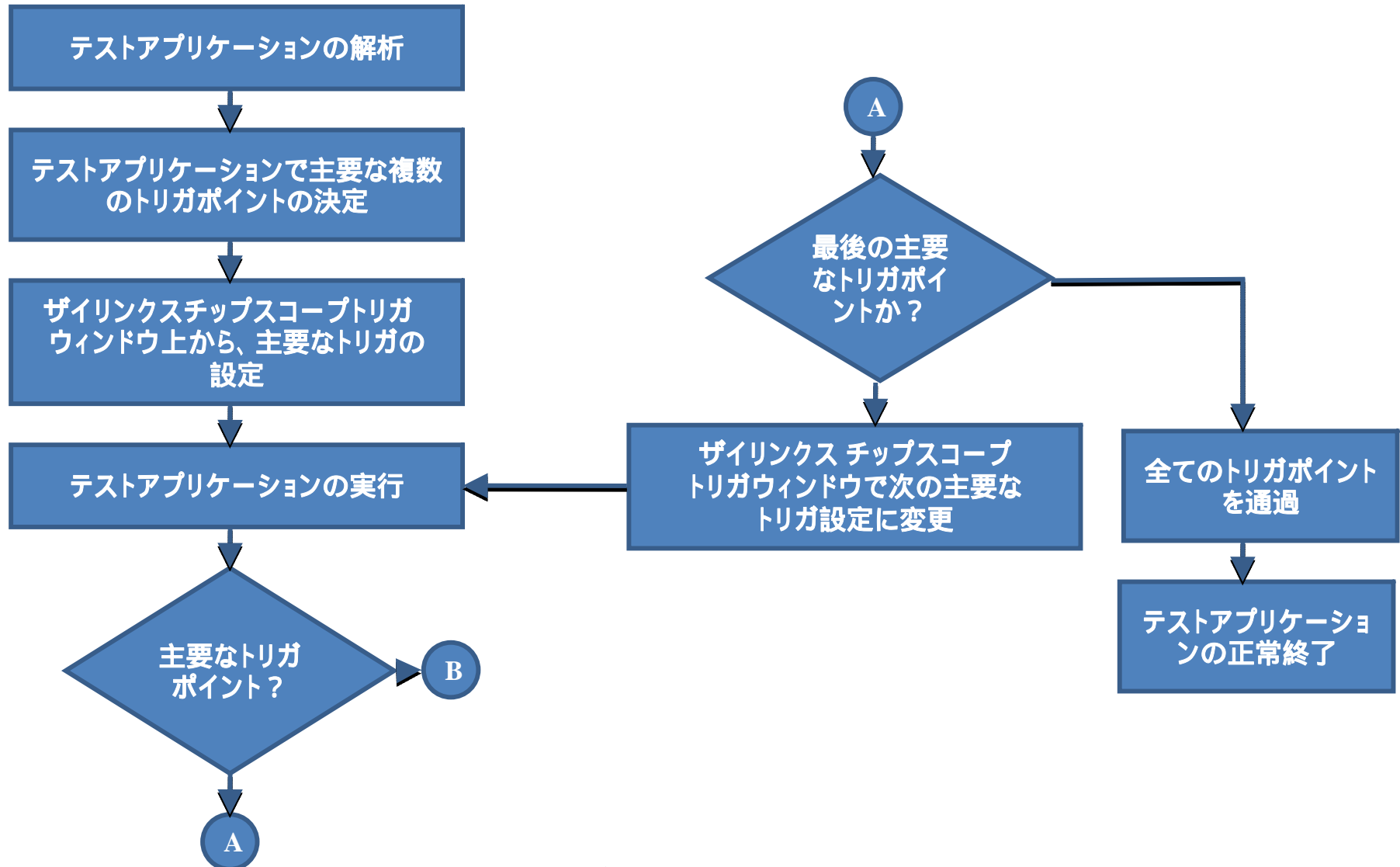


iWave

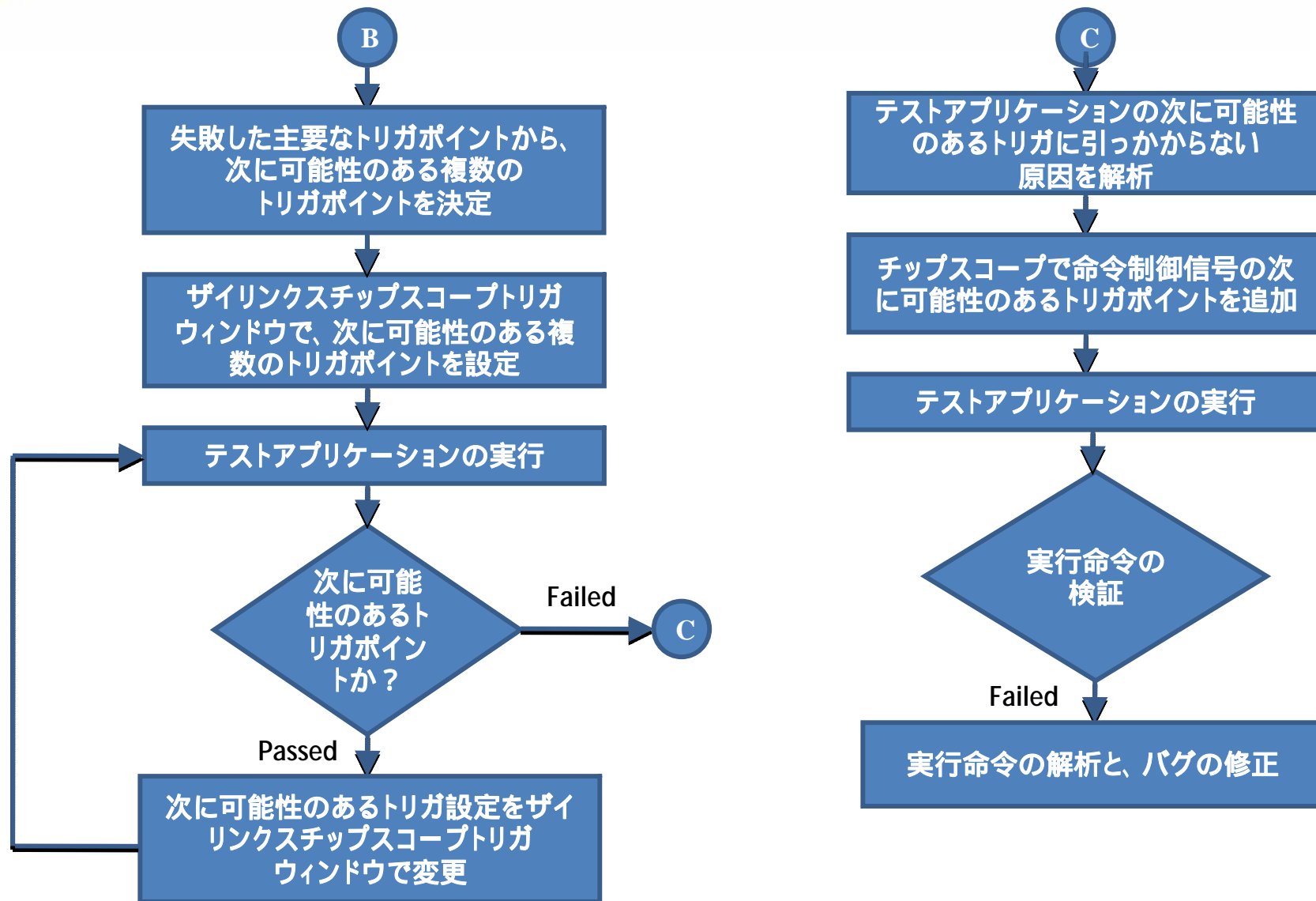
## iW-186コアのデバック方法

- システムの速度を落とすことなく、チップのデバックができる機能をザイリンクスがオプション製品として提供。
- ザイリンクスのチップスコープにより、ロジックアナライザ、バスアナライザ、単純化された仮想I/Oを組み込み、全ての内部信号を観測可能。
- ザイリンクス チップスコープを使用したデバック。

# iW-186コアのデバック方法



# iW-186コアのデバック方法





# デバック事例

---



## ■ 186コアに問題がある場合のアプリケーションの実行例

```
;=== Sub trigger point start ===  
mov ax,9000h ; ds=9000  
mov ds,ax  
mov bx,0 ; bx=0  
mov ds:[bx],1234h ; ds:[0000] = 1234h  
mov ss:[bx],5678h ; ss:[0000] = 5678h  
mov ax,[bp] ; ax = SS:[bp]  
shr ax,1  
mov dx,[bx] ; cx = DS:[bx] (9000:0000 = 1234)  
mov cx,[bx] ; bx = DS:[bx] (9000:0000 = 1234)  
;=== Sub trigger point end ===
```

## ■ 実行結果は、 $DX = CX = 1234$





# デバック事例

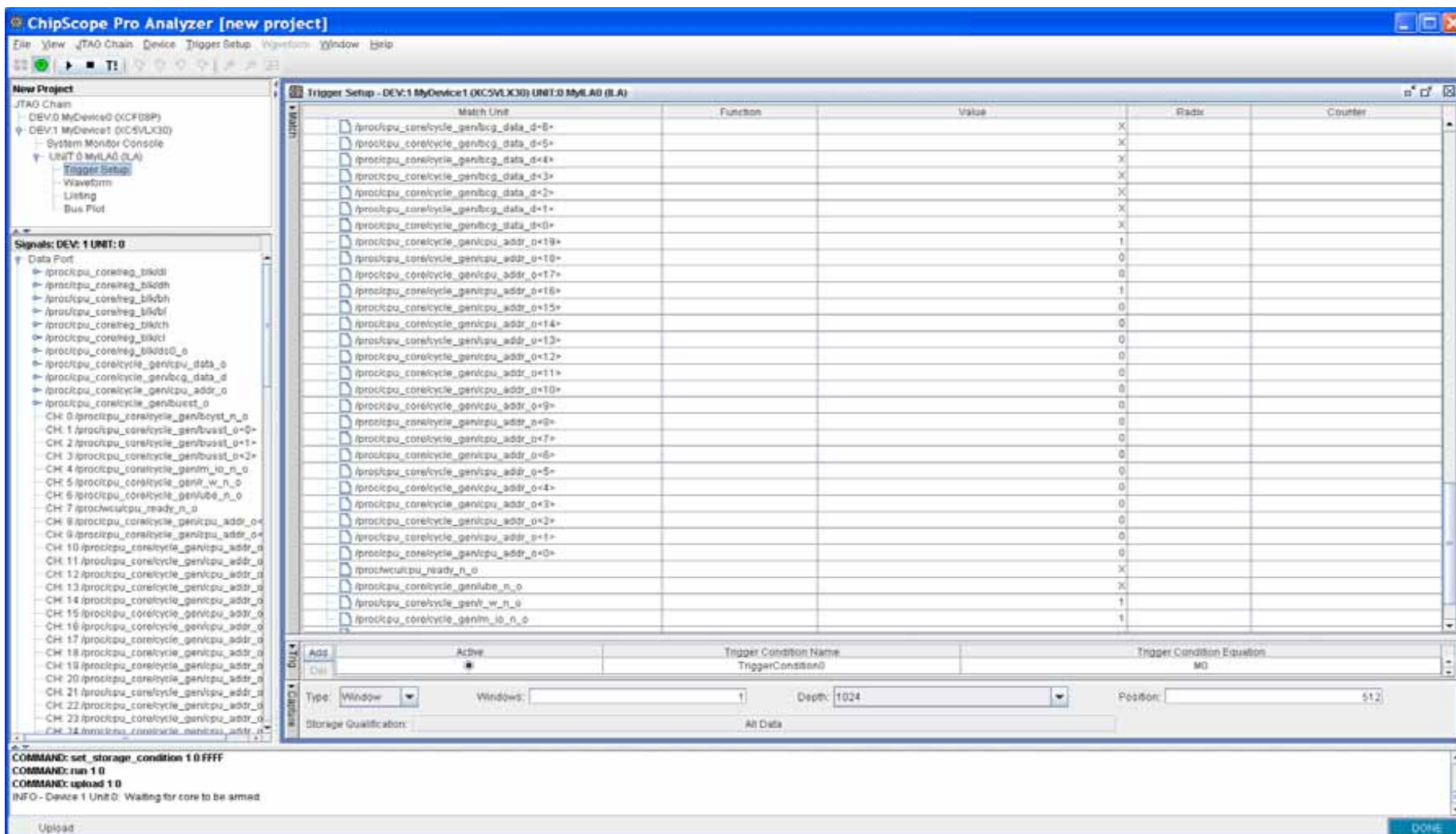


- しかし、正しくは $DX = 5678$ ,  $CX = 1234$
- 問題は、アドレス生成にあり、境界線上の問題でした。
- チップスコープを使用して解析デバックします。
- ステップ実行をいくつかのスライドで示します。



# デバック事例

- 90000hメモリーリードポイントにトリガポイントを設定



The screenshot shows the ChipScope Pro Analyzer interface. The main window is titled "Trigger Setup - DEV:1 MyDevice1 (XC5VLX30) UNIT:0 MyILA0 (ILA)". It displays a list of signals and their values, with a trigger condition set to "Match Line". The signals listed include various corecycle\_genlbcg\_data and corecycle\_genlbcg\_addr signals. The trigger condition is set to "Match Line" and the trigger condition equation is "MO". The trigger condition is set to "Match Line" and the trigger condition equation is "MO".

Match Line	Function	Value	Radix	Counter
/proc/psu_corecycle_genlbcg_data_d=0>			X	
/proc/psu_corecycle_genlbcg_data_d=5>			X	
/proc/psu_corecycle_genlbcg_data_d=4>			X	
/proc/psu_corecycle_genlbcg_data_d=3>			X	
/proc/psu_corecycle_genlbcg_data_d=2>			X	
/proc/psu_corecycle_genlbcg_data_d=1>			X	
/proc/psu_corecycle_genlbcg_data_d=0>			X	
/proc/psu_corecycle_genlbcg_addr_0+19>			1	
/proc/psu_corecycle_genlbcg_addr_0+10>			0	
/proc/psu_corecycle_genlbcg_addr_0+17>			0	
/proc/psu_corecycle_genlbcg_addr_0+16>			1	
/proc/psu_corecycle_genlbcg_addr_0+15>			0	
/proc/psu_corecycle_genlbcg_addr_0+14>			0	
/proc/psu_corecycle_genlbcg_addr_0+13>			0	
/proc/psu_corecycle_genlbcg_addr_0+12>			0	
/proc/psu_corecycle_genlbcg_addr_0+11>			0	
/proc/psu_corecycle_genlbcg_addr_0+10>			0	
/proc/psu_corecycle_genlbcg_addr_0+9>			0	
/proc/psu_corecycle_genlbcg_addr_0+8>			0	
/proc/psu_corecycle_genlbcg_addr_0+7>			0	
/proc/psu_corecycle_genlbcg_addr_0+6>			0	
/proc/psu_corecycle_genlbcg_addr_0+5>			0	
/proc/psu_corecycle_genlbcg_addr_0+4>			0	
/proc/psu_corecycle_genlbcg_addr_0+3>			0	
/proc/psu_corecycle_genlbcg_addr_0+2>			0	
/proc/psu_corecycle_genlbcg_addr_0+1>			0	
/proc/psu_corecycle_genlbcg_addr_0+0>			0	
/proc/psu_corecycle_genlbcg_addr_0+0>			X	
/proc/psu_corecycle_genlbcg_addr_0+0>			X	
/proc/psu_corecycle_genlbcg_addr_0+0>			1	
/proc/psu_corecycle_genlbcg_addr_0+0>			1	

COMMAND: set\_storage\_condition 10 FFFF  
COMMAND: run 1 0  
COMMAND: upload 1 0  
INFO - Device 1 Unit 0: Waiting for core to be armed

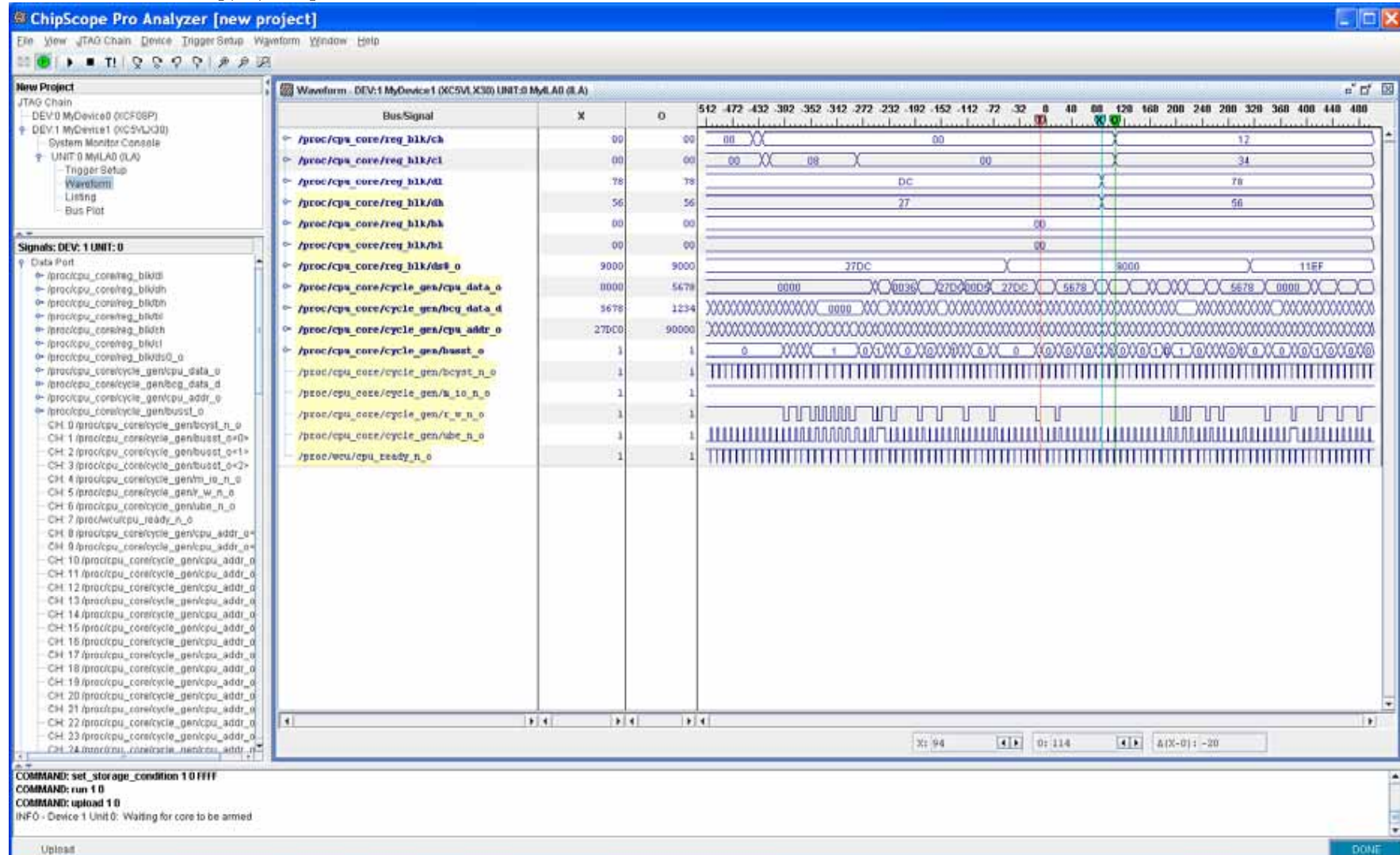
[illegible]

# デバック事例



iWave

## ■ トリガ検出



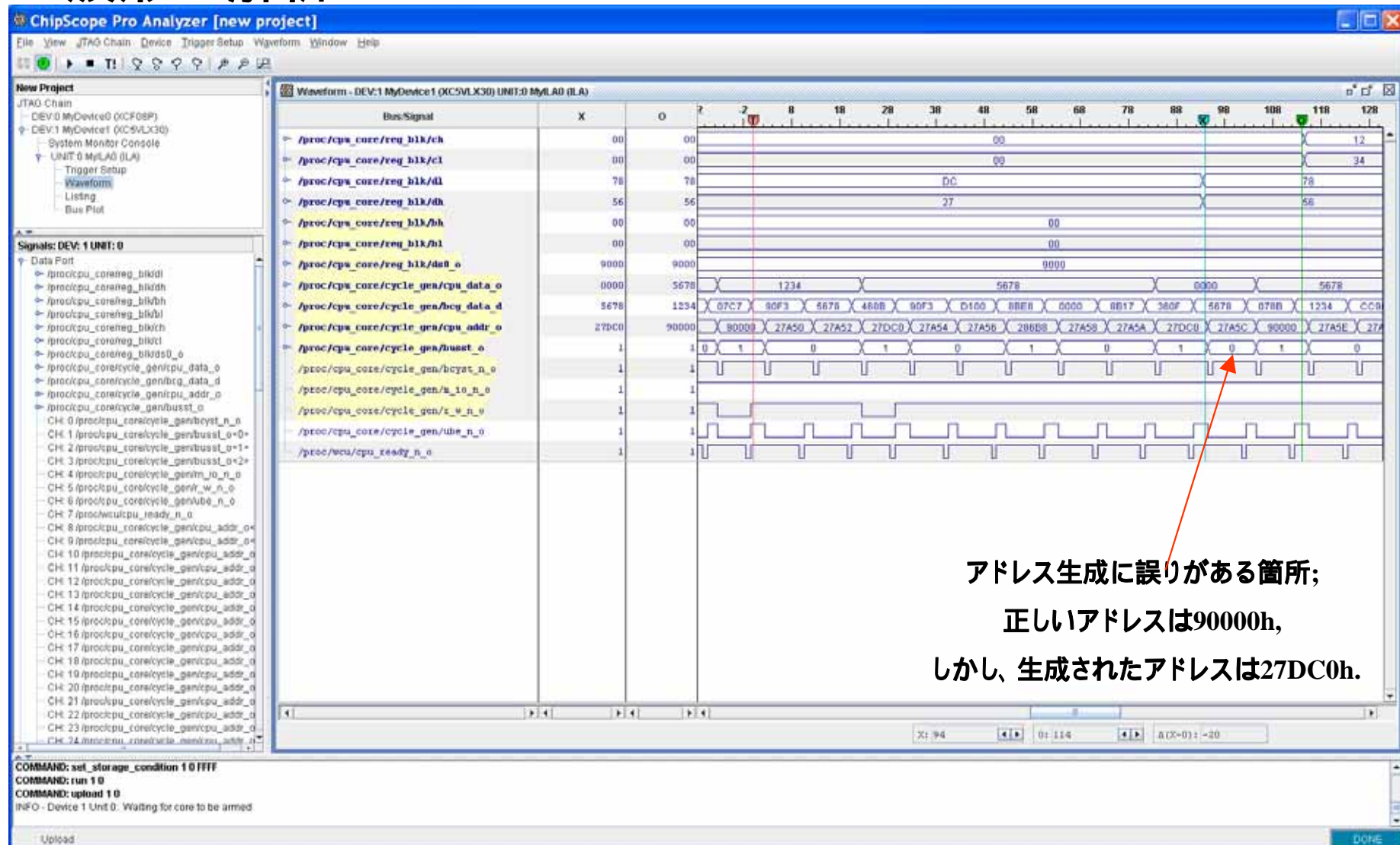


# デバック事例



iWave

## ■ 波形の解析





## チップスコープの使用方法

---

- ザイリンクスのチップスコープツールについては、ザイリンクスのウェブサイトをご参照ください。

[http://www.xilinx.com/products/software/chipscope/chipscope\\_ila\\_tut.pdf](http://www.xilinx.com/products/software/chipscope/chipscope_ila_tut.pdf)



# ありがとうございました。



- お問い合わせは、  
アイウェーブ・ジャパン株式会社  
神奈川県横浜市中区住吉町3丁目29番  
関内住吉ビル8階B 〒231-0013  
TEL 045-227-7626 FAX 045-227-7646  
[info@iwavejapan.co.jp](mailto:info@iwavejapan.co.jp)
- その他製品情報は、  
<http://www.iwavejapan.co.jp>